



Atty. Dkt. No. 045054-0158

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Hitoshi IRINO
Title: SEMICONDUCTOR PROTECTION ELEMENT, SEMICONDUCTOR
DEVICE AND METHOD FOR MANUFACTURING SAME
Appl. No.: 10/796,999
Filing Date: 03/11/2004
Examiner: Unassigned
Art Unit: Unassigned

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
PO Box 1450
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

Japanese Patent Application No. 2003-066161
filed 03/12/2003.

Respectfully submitted,

Date: April 30, 2004

FOLEY & LARDNER LLP
Customer Number: 22428
Telephone: (202) 672-5407
Facsimile: (202) 672-5399

By Thomas S. Blumenthal Reg. No. 43,438

David A. Blumenthal
Attorney for Applicant
Registration No. 26,257

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 2 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 6 6 1 6 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 6 6 1 6 1]

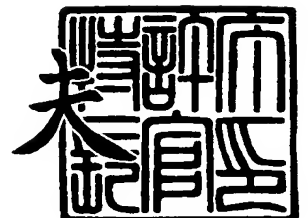
出 願 人 N E C エレクトロニクス株式会社
Applicant(s):



2 0 0 4 年 1 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 74520006

【提出日】 平成15年 3月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 N E C エレクトロニクス株式会社内

 【氏名】 入野 仁

【特許出願人】

 【識別番号】 302062931

 【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

 【識別番号】 100096105

 【弁理士】

 【氏名又は名称】 天野 広

 【電話番号】 03(5484)2241

【手数料の表示】

 【予納台帳番号】 038830 -

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0216506

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子、半導体装置及びそれらの製造方法

【特許請求の範囲】

【請求項 1】 第一の不純物濃度を有する第一領域と、前記第一の不純物濃度よりも高い第二の不純物濃度を有する第二領域と、を有する半導体基板と、
前記第二領域の表面に接して形成されたシリサイド層と、
を備える半導体素子であって、

前記第一領域及び前記第二領域は前記シリサイド層に覆われていない第一表面領域及び第二表面領域をそれぞれ有しており、

前記第一表面領域は二つの前記第二表面領域に挟まれるように形成されており、

前記シリサイド層は、前記第二表面領域が前記第一表面領域と連続し、かつ、前記第二表面領域が露出するように形成されており、

前記シリサイド層は低抵抗領域を、前記第二表面領域は中抵抗領域を、前記第一表面領域は高抵抗領域をそれぞれ形成している半導体素子。

【請求項 2】 第一の不純物濃度を有する第一領域と、前記第一の不純物濃度よりも高い第二の不純物濃度を有する第二領域と、を有する半導体基板と、

前記第二領域の表面に接して部分的に形成されたシリサイド層と、
を備える半導体素子であって、

前記第一領域は前記半導体基板の表面に露出する露出領域を有しており、

前記シリサイド層は、前記第二領域の一部が前記露出領域に対して連続的に露出する第二露出領域を有するように形成されており、

前記露出領域は二つの前記第二領域に挟まれており、

前記シリサイド層は低抵抗領域を、前記第二領域のうち前記半導体基板の表面に露出している領域は中抵抗領域を、前記第一領域の前記露出領域は高抵抗領域をそれぞれ形成している半導体素子。

【請求項 3】 前記第一領域はウェル領域からなるものであることを特徴とする請求項 2 に記載の半導体素子。

【請求項 4】 第一の不純物濃度を有する第一領域と、前記第一の不純物濃

度よりも高い第二の不純物濃度を有する第二領域と、を有する半導体基板と、

前記第二領域の表面に接して部分的に形成されたシリサイド層と、

を備える半導体素子であって、

前記第一領域はウェル領域からなり、

前記第一領域上には、前記第一の不純物濃度よりも高く、かつ、前記第二の不純物濃度よりも低い第三の不純物濃度を有する第三領域が形成されており、

前記第三領域は、二つの前記第二領域に挟まれ、かつ、前記半導体基板の表面に露出する露出領域を形成するとともに、前記第三領域は前記半導体基板の表面において前記第二領域と重なり合って形成されており、

前記シリサイド層は、前記第二領域の一部が前記露出領域に対して連続的に露出する第二露出領域を有するように形成されており、

前記シリサイド層は低抵抗領域を、前記第二領域のうち前記半導体基板の表面に露出している領域は中抵抗領域を、前記第三領域の前記露出領域は高抵抗領域をそれぞれ形成している半導体素子。

【請求項 5】 前記第一領域は、前記半導体基板の表面に形成され、かつ、前記半導体基板の表面において前記第二領域と重なり合って形成されていることを特徴とする請求項 2 に記載の半導体素子。

【請求項 6】 前記第一領域の前記第一の不純物濃度は、前記半導体基板にウェル領域を形成したと仮定した場合に、前記ウェル領域の不純物濃度よりも高いことを特徴とする請求項 5 に記載の半導体素子。

【請求項 7】 前記第一表面領域または前記露出領域上にはフィールド酸化膜が形成されていることを特徴とする請求項 1 乃至 6 の何れか一項に記載の半導体素子。

【請求項 8】 前記第一表面領域上または前記露出領域上にはゲート電極構造が形成されていることを特徴とする請求項 1 乃至 6 の何れか一項に記載の半導体素子。

【請求項 9】 前記第二露出領域は前記露出領域と同等の表面長さ、または、前記露出領域の表面長さよりも大きい表面長さを有していることを特徴とする請求項 2 乃至 6 の何れか一項に記載の半導体素子。

【請求項 10】 前記第二露出領域の表面長さは前記第二領域の深さと等しいか、または、前記第二領域の深さよりも大きいことを特徴とする請求項 2 乃至 6 及び 9 の何れか一項に記載の半導体素子。

【請求項 11】 半導体基板に不純物を注入し、第一の不純物濃度を有する第一領域を形成する第一の過程と、

前記半導体基板の表面において、前記第一領域の両側に、前記第一の不純物濃度よりも高い不純物濃度を有する第二領域を形成する第二の過程と、

前記第二領域の表面に接してシリサイド層を形成する第三の過程と、
を備え、

前記第三の過程においては、前記第一領域及び前記第二領域は前記シリサイド層に覆われていない第一表面領域及び第二表面領域をそれぞれ有し、前記第一表面領域は二つの前記第二表面領域に挟まれるように、前記シリサイド層が形成され、

前記シリサイド層は低抵抗領域を、前記第二表面領域は中抵抗領域を、前記第一表面領域は高抵抗領域をそれぞれ形成するものである半導体素子の製造方法。

【請求項 12】 半導体基板に不純物を注入し、第一の不純物濃度を有する第一領域を形成する過程と、

前記第一領域が前記半導体基板の表面に露出する露出領域を有するように、前記露出領域の両側に、かつ、前記半導体基板の表面において、前記第一の不純物濃度よりも高い不純物濃度を有する第二領域を形成する過程と、

前記第二領域の一部が前記第一領域の前記露出領域に対して連続的に露出する第二露出領域を有するように、前記第二領域の表面に接してシリサイド層を形成する過程と、

を備え、

前記シリサイド層は低抵抗領域を、前記第二領域のうち前記半導体基板の表面に露出している領域は中抵抗領域を、前記第一領域の露出領域は高抵抗領域をそれぞれ形成するものである半導体素子の製造方法。

【請求項 13】 半導体基板に不純物を注入し、第一の不純物濃度を有する第一領域を形成する過程と、

前記半導体基板の表面において前記第一領域と重なり合うように、前記第一の不純物濃度よりも高い不純物濃度を有する第三領域を形成する過程と、

前記第三領域が前記半導体基板の表面に露出する露出領域を有するように、前記露出領域の両側に、かつ、前記半導体基板の表面において、前記第三領域の不純物濃度よりも高い不純物濃度を有する第二領域を形成する過程と、

前記第二領域の一部が前記第一領域の前記露出領域に対して連続的に露出する第二露出領域を有するように、前記第二領域の表面に接してシリサイド層を形成する過程と、

を備え、

前記シリサイド層は低抵抗領域を、前記第二領域のうち前記半導体基板の表面に露出している領域は中抵抗領域を、前記第三領域の露出領域は高抵抗領域をそれぞれ形成するものである半導体素子の製造方法。

【請求項 14】 前記第二領域は、前記半導体基板の表面において、前記第一領域と重なり合って形成されることを特徴とする請求項 12 に記載の半導体素子の製造方法。

【請求項 15】 前記第一領域の前記第一の不純物濃度は、前記半導体基板にウェル領域を形成したと仮定した場合に、前記ウェル領域の不純物濃度よりも高いことを特徴とする請求項 14 に記載の半導体素子の製造方法。

【請求項 16】 前記第二露出領域は前記露出領域と同等の表面長さ、または、前記露出領域の表面長さよりも大きい表面長さを有するように形成されることを特徴とする請求項 12 乃至 15 の何れか一項に記載の半導体素子の製造方法。

【請求項 17】 前記第二露出領域の表面長さは前記第二領域の深さと等しいか、または、前記第二領域の深さよりも大きくなるように形成されることを特徴とする請求項 12 乃至 16 の何れか一項に記載の半導体素子の製造方法。

【請求項 18】 第一の不純物濃度を有する第一領域と、前記第一の不純物濃度よりも高い第二の不純物濃度を有する第 1、第 2 及び第 3 の第二領域と、を有する半導体基板と、

前記第 1 乃至第 3 の第二領域の表面に接して形成されたシリサイド層と、

前記第 1 の第二領域の表面に接して形成されたシリサイド層上に形成されたソース電極及びドレイン電極の何れか一方と、

前記第 1 及び第 2 の第二領域の表面に接して形成されたシリサイド層の間に形成されたゲート電極と、

前記第 3 の第二領域の表面に接して形成されたシリサイド層上に形成されたソース電極及びドレイン電極の他方と、

を備える半導体装置であって、

前記第一領域、前記第 2 の第二領域及び前記第 3 の第二領域は前記第 2 及び第 3 の第二領域の表面に接して形成された前記シリサイド層の間において前記シリサイド層に覆われていない第一表面領域、第 2 の第二表面領域及び第 3 の第二表面領域をそれぞれ有しており、

前記第一表面領域は前記第 2 及び第 3 の第二表面領域に挟まれるように形成されており、

前記シリサイド層は、前記第 2 及び第 3 の第二表面領域が前記第一表面領域と連続し、かつ、前記第 2 及び第 3 の第二表面領域が露出するように形成されており、

前記シリサイド層は低抵抗領域を、前記第二表面領域は中抵抗領域を、前記第一表面領域は高抵抗領域をそれぞれ形成している半導体装置。

【請求項 19】 第一の不純物濃度を有する第一領域と、前記第一の不純物濃度よりも高い第二の不純物濃度を有する第 1、第 2 及び第 3 の第二領域と、を有する半導体基板と、

前記第 1 乃至第 3 の第二領域の表面に接して形成されたシリサイド層と、

前記第 1 の第二領域の表面に接して形成されたシリサイド層上に形成されたソース電極及びドレイン電極の何れか一方と、

前記第 1 及び第 2 の第二領域の表面に接して形成されたシリサイド層の間に形成されたゲート電極と、

前記第 3 の第二領域の表面に接して形成されたシリサイド層上に形成されたソース電極及びドレイン電極の他方と、

を備える半導体装置であって、

前記第一領域は前記第2及び第3の第二領域の間において前記半導体基板の表面に露出する露出領域を有しており、

前記シリサイド層は、前記第2及び第3の第二領域が前記露出領域に対して連続的に露出する第二露出領域を有するように形成されており、

前記露出領域は二つの前記第二領域に挟まれており、

前記シリサイド層は低抵抗領域を、前記第2及び第3の第二領域のうち前記半導体基板の表面に露出している領域は中抵抗領域を、前記第一領域の前記露出領域は高抵抗領域をそれぞれ形成している半導体装置。

【請求項20】 前記第一領域はウェル領域からなるものであることを特徴とする請求項19に記載の半導体装置。

【請求項21】 第一の不純物濃度を有する第一領域と、前記第一の不純物濃度よりも高い第二の不純物濃度を有する第1、第2及び第3の第二領域と、前記第一の不純物濃度よりも高く、かつ、前記第二の不純物濃度よりも低い不純物濃度を有する第三領域と、を有する半導体基板と、

前記第1乃至第3の第二領域の表面に接して形成されたシリサイド層と、

前記第1の第二領域の表面に接して形成されたシリサイド層上に形成されたソース電極及びドレイン電極の何れか一方と、

前記第1及び第2の第二領域の表面に接して形成されたシリサイド層の間に形成されたゲート電極と、

前記第3の第二領域の表面に接して形成されたシリサイド層上に形成されたソース電極及びドレイン電極の他方と、

を備える半導体装置であって、

前記第一領域はウェル領域からなり、

前記第三領域は前記第一領域上に形成されており、

前記第三領域は前記第2及び第3の第二領域の間において前記半導体基板の表面に露出する前記露出領域を形成するとともに、前記第三領域は前記半導体基板の表面において前記第二領域と重なり合って形成されており、

前記シリサイド層は、前記第2及び第3の第二領域が前記露出領域に対して連続的に露出する第二露出領域を有するように形成されており、

前記シリサイド層は低抵抗領域を、前記第二領域のうち前記半導体基板の表面に露出している領域は中抵抗領域を、前記第一領域の前記露出領域は高抵抗領域をそれぞれ形成している半導体装置。

【請求項 22】 前記第一領域は、前記半導体基板の表面に形成され、かつ、前記半導体基板の表面において前記第二領域と重なり合って形成されていることを特徴とする請求項 19 に記載の半導体装置。

【請求項 23】 前記第一領域の前記第一の不純物濃度は、前記半導体基板にウェル領域を形成したと仮定した場合に、前記ウェル領域の不純物濃度よりも高いことを特徴とする請求項 22 に記載の半導体装置。

【請求項 24】 前記第一表面領域上または前記露出領域上にはフィールド酸化膜が形成されていることを特徴とする請求項 18 乃至 23 の何れか一項に記載の半導体装置。

【請求項 25】 前記第一表面領域上または前記露出領域上にはゲート電極構造が形成されていることを特徴とする請求項 18 乃至 23 の何れか一項に記載の半導体装置。

【請求項 26】 前記第二露出領域は前記露出領域と同等の表面長さ、または、前記露出領域の表面長さよりも大きい表面長さを有していることを特徴とする請求項 19 乃至 25 の何れか一項に記載の半導体装置。

【請求項 27】 前記第二露出領域の表面長さは前記第二領域の深さと等しいか、または、前記第二領域の深さよりも大きいことを特徴とする請求項 19 乃至 26 の何れか一項に記載の半導体装置。

【請求項 28】 半導体基板に不純物を注入し、第一の不純物濃度を有する第一領域を形成する第一の過程と、

前記第一の不純物濃度よりも高い不純物濃度を有する第 1、第 2 及び第 3 の第二領域を前記半導体基板に形成する過程であって、前記第 2 及び第 3 の第二領域は、前記第一領域の両側に、かつ、前記半導体基板の表面において形成されるものである過程と、

前記第一領域、前記第 2 の第二領域及び前記第 3 の第二領域がシリサイド層に覆われていない第一表面領域及び第二表面領域をそれぞれ有し、前記第一表面領

域は二つの前記第二表面領域に挟まれるように、前記第1乃至第3の第二領域の表面に接してシリサイド層を形成する過程と、

前記第1及び第2の第二領域の表面に接して形成された前記シリサイド層の間にゲート電極を形成する過程と、

前記第1の第二領域の表面に接して形成された前記シリサイド層上にソース電極及びドレイン電極の何れか一方を、前記第3の第二領域の表面に接して形成された前記シリサイド層上に他方を形成する過程と、

を備え、

前記シリサイド層は低抵抗領域を、前記第二表面領域は中抵抗領域を、前記第一表面領域は高抵抗領域をそれぞれ形成するものである半導体装置の製造方法。

【請求項29】 半導体基板に不純物を注入し、第一の不純物濃度を有する第一領域を形成する過程と、

前記第一の不純物濃度よりも高い不純物濃度を有する第1、第2及び第3の第二領域を前記半導体基板に形成する過程であって、前記第2及び第3の第二領域は、前記第一領域が前記半導体基板の表面に露出する露出領域を有するように、前記露出領域の両側に、かつ、前記半導体基板の表面において形成されるものである過程と、

前記第2及び第3の第二領域が前記第一領域の前記露出領域に対して連続的に露出する第二露出領域を有するように、前記第1乃至第3の第二領域の表面に接してシリサイド層を形成する過程と、

前記第1及び第2の第二領域の表面に接して形成された前記シリサイド層の間にゲート電極を形成する過程と、

前記第1の第二領域の表面に接して形成された前記シリサイド層上にソース電極及びドレイン電極の何れか一方を、前記第3の第二領域の表面に接して形成された前記シリサイド層上に他方を形成する過程と、

を備え、

前記シリサイド層は低抵抗領域を、前記第二領域のうち前記半導体基板の表面に露出している領域は中抵抗領域を、前記第一領域の露出領域は高抵抗領域をそれぞれ形成するものである半導体装置の製造方法。

【請求項 30】 半導体基板に不純物を注入し、第一の不純物濃度を有する第一領域を形成する過程と、

前記半導体基板の表面において前記第一領域と重なり合うように、前記第一の不純物濃度よりも高い不純物濃度を有する第三領域を形成する過程と、

前記第三領域の不純物濃度よりも高い不純物濃度を有する第 1、第 2 及び第 3 の第二領域を前記半導体基板に形成する過程であって、前記第 2 及び第 3 の第二領域は、前記第三領域が前記半導体基板の表面に露出する露出領域を有するように、前記露出領域の両側に、かつ、前記半導体基板の表面において、形成されるものである過程と、

前記第 2 及び第 3 の第二領域が前記第一領域の前記露出領域に対して連続的に露出する第二露出領域を有するように、前記第 1 乃至第 3 の第二領域の表面に接してシリサイド層を形成する過程と、

前記第 1 及び第 2 の第二領域の表面に接して形成された前記シリサイド層の間にゲート電極を形成する過程と、

前記第 1 の第二領域の表面に接して形成された前記シリサイド層上にソース電極及びドレイン電極の何れか一方を、前記第 3 の第二領域の表面に接して形成された前記シリサイド層上に他方を形成する過程と、

を備え、

前記シリサイド層は低抵抗領域を、前記第二領域のうち前記半導体基板の表面に露出している領域は中抵抗領域を、前記第三領域の露出領域は高抵抗領域をそれぞれ形成するものである半導体装置の製造方法。

【請求項 31】 前記第二領域は、前記半導体基板の表面において、前記第一領域と重なり合って形成されることを特徴とする請求項 29 に記載の半導体装置の製造方法。

【請求項 32】 前記第一領域の前記第一の不純物濃度は、前記半導体基板にウェル領域を形成したと仮定した場合に、前記ウェル領域の不純物濃度よりも高いことを特徴とする請求項 31 に記載の半導体装置の製造方法。

【請求項 33】 前記第二露出領域は前記露出領域と同等の表面長さ、または、前記露出領域の表面長さよりも大きい表面長さを有するように形成されるこ

とを特徴とする請求項 2 9 乃至 3 2 の何れか一項に記載の半導体装置の製造方法。

【請求項 3 4】 前記第二露出領域の表面長さは前記第二領域の深さと等しいか、または、前記第二領域の深さよりも大きくなるように形成されることを特徴とする請求項 2 9 乃至 3 3 の何れか一項に記載の半導体装置の製造方法。

【請求項 3 5】 前記第一表面領域上または前記露出領域上にフィールド酸化膜を形成する過程をさらに備えることを特徴とする請求項 2 8 乃至 3 4 の何れか一項に記載の半導体装置の製造方法。

【請求項 3 6】 前記第一表面領域上または前記露出領域上にゲート電極構造を形成する過程をさらに備えることを特徴とする請求項 2 8 乃至 3 4 の何れか一項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体素子、半導体装置及びそれらの製造方法に関し、特に、静電気破壊（E l e c t r o s t a t i c D i s c h a r g e : E S D）から半導体素子または半導体装置を保護する静電気保護回路を形成している半導体素子、半導体装置及びそれらの製造方法に関する。

【0 0 0 2】

【従来の技術】

近年においては、半導体素子の微細化の要求に伴い、ソース領域及びドレイン領域を形成する不純物拡散層を浅く形成することが必要になってきた。

【0 0 0 3】

しかしながら、不純物拡散層を浅く形成することは、ソース領域及びドレイン領域の高抵抗化をもたらし、トランジスタの電流駆動能力を著しく劣化させる原因となっている。

【0 0 0 4】

このような問題を解決するために、ソース領域及びドレイン領域上に選択的にシリサイド層を形成し、ソース領域及びドレイン領域の抵抗を低下させた構造の

トランジスタが提案されている。このような構造は一般にサリサイド構造と呼ばれている。

【0 0 0 5】

このサリサイド構造はソース領域及びドレイン領域を低抵抗化することが可能であるが、静電気に対して極めて弱いという問題を有している。

【0 0 0 6】

一般に、集積回路が静電気に対する耐性を得るためには、以下の二つの条件が必須となる。

【0 0 0 7】

(1) 集積回路上に搭載した保護素子が静電気を効率よく除去し、保護する対象となる素子に静電気による過電圧及び過電流を伝えないこと。

【0 0 0 8】

(2) 集積回路上に搭載した保護素子自体が静電気に対して耐性を有していること。

【0 0 0 9】

サリサイド構造を有する集積回路においては上記の(2)が大きな問題となる。保護素子の静電気に対する耐性は、ドレインからソースまでの抵抗値の分布により決定される。他の領域に比べて局所的に抵抗値が大きい領域が存在すると、その領域に局所的に熱が発生し、静電破壊を起こす確率が大きくなる。

【0 0 1 0】

サリサイド構造を有するトランジスタにおいては、前述したように、ソース及びドレイン領域にシリサイドを配置して極端に抵抗を低下させているため、トランジスタのゲート両端に分布しているLDD注入領域からチャネル領域にかけて局所的な熱が発生し、その結果、サリサイド構造を有しないトランジスタと比較して、静電気に対する耐性は著しく低下する。

【0 0 1 1】

このような問題点を解決するため、種々の半導体装置が提案されている。

【0 0 1 2】

図26は、その第一の例として、特許第2773220号公報(特許文献1)

に記載された半導体装置 200 の断面図を示す。

【0013】

半導体装置 200 は、P 型基板 201 を備えており、P 型基板 201 の表面には、N⁺拡散層 202 と、N⁺拡散層 202 よりも不純物濃度が低い LDD (Lightly Doped Drain) 注入層 203 とが重なり合って形成されている。

【0014】

N⁺拡散層 202 上には第 1 乃至第 3 のシリサイド層 204 a、204 b、204 c が選択的に形成されている。第 1 のシリサイド層 204 a 上にはソース電極 205 が形成され、第 3 のシリサイド層 204 c 上にはドレイン電極 206 がそれぞれ形成されている。

【0015】

第 1 のシリサイド層 204 a と第 2 のシリサイド層 204 b との間には、P 型基板 201 上にゲート絶縁膜 207 (ゲート絶縁膜 207 の下方には LDD 注入層 203 は形成されていない) が形成されており、ゲート絶縁膜 207 上にはゲート電極 208 が形成されている。ゲート電極 208 の周囲はサイドウォール 209 で囲まれている。

【0016】

図 27 は、第二の例として、米国特許第 6479870 号公報 (特許文献 2) に記載された半導体装置 210 の断面図を示す。

【0017】

図 27 に示した半導体装置 210 は、図 26 に示した半導体装置 200 と比較して、第 2 のシリサイド層 204 b と第 3 のシリサイド層 204 c との間には P 型基板 201 の表面に N ウェル 211 が形成されている点と、第 2 のシリサイド層 204 b と第 3 のシリサイド層 204 c との間においては LDD 注入層 203 及び N⁺拡散層 202 が形成されず、その代わりに、フィールド酸化膜 212 が形成されている点と、が相違している。

【0018】

図 28 は、第三の例として、米国特許第 5637902 号公報 (特許文献 3)

に記載された半導体装置 2 2 0 の断面図を示す。

【0 0 1 9】

図 2 8 に示した半導体装置 2 2 0 は、図 2 6 に示した半導体装置 2 0 0 と比較して、第 2 のシリサイド層 2 0 4 b と第 3 のシリサイド層 2 0 4 c との間には P 型基板 2 0 1 の表面に N ウェル 2 2 1 が形成されている点と、第 2 のシリサイド層 2 0 4 b と第 3 のシリサイド層 2 0 4 c との間においては L D D 注入層 2 0 3 及び N⁺拡散層 2 0 2 が形成されず、その代わりに、ゲート酸化膜とゲート電極とサイドウォールとからなるゲート電極構造 2 2 2 が形成されている点と、が相違している。

【0 0 2 0】

図 2 6、図 2 7 及び図 2 8 に示した半導体装置 2 0 0、2 1 0 及び 2 2 0 はいずれも、第 2 のシリサイド層 2 0 4 b と第 3 のシリサイド層 2 0 4 c との間にシリサイド層を形成しない領域 2 3 0 a、2 3 0 b、2 3 0 c を有している。このように、シリサイド層を形成しない領域 2 3 0 a、2 3 0 b、2 3 0 c を設けることにより、配線材（図示せず）からソース電極及びドレイン電極の各端部までの間の抵抗を一様にするのが可能になり、静電気に対する耐性を高めることが可能であるとされている。

【0 0 2 1】

【特許文献 1】

特許第 2 7 7 3 2 2 0 号公報（特開平 2 0 2 7 1 6 7 3 号公報）（第 1 図（a））

【0 0 2 2】

【特許文献 2】

米国特許第 6 4 7 9 8 7 0 号公報

【0 0 2 3】

【特許文献 3】

米国特許第 5 6 3 7 9 0 2 号公報

【0 0 2 4】

【発明が解決しようとする課題】

図 26 に示した半導体装置 200 においては、高濃度の不純物が注入された領域である N⁺拡散層 202 上にはシリサイド層 204b、204c が形成されていない領域 230a が設けられており、シリサイド層 204b、204c が低抵抗領域を形成するのに対して、領域 230a は中抵抗領域を形成している。

【0025】

また、図 27 に示した半導体装置 210 及び図 28 に示した半導体装置 220 においては、N ウェル 211、221 または LDD 注入層 203 などの低濃度の不純物を注入した領域を高抵抗領域として機能させている。

【0026】

しかしながら、図 26 に示した半導体装置 200 においては、シリサイド化されていない領域 230a の直下に高濃度の不純物を注入した N⁺拡散層 202 が存在するため、半導体装置 200 の単位面積あたりの抵抗値は小さい。このため、半導体装置 200 のように、抵抗値が小さい領域のみからなる抵抗素子を構成した場合、所望の抵抗値を得るためには、抵抗素子ひいては領域 230a の面積をその抵抗値に応じて大きくしなければならず、半導体素子を小さな面積で製造することが不可能となり、近年の半導体素子の微細化の要求に応えることができない。

【0027】

この点、図 27 に示した半導体装置 210 及び図 28 に示した半導体装置 220 のように、高抵抗領域で抵抗素子を構成した場合、半導体素子 200 の場合とは異なり、半導体素子の小面積化を図ることは可能であるが、静電気の印加により大きな電流が流れたときに、抵抗素子そのものが破壊されやすいという問題点を有している。

【0028】

以下、この問題点を図 29 を参照して説明する。図 29 (A) は、図 27 に示した半導体装置 210 のうちフィールド酸化膜 212 及びその周辺の領域を示す断面図であり、図 29 (B) は、図 29 (A) に示した領域に対応する位置と、印加される電圧との関係を示すグラフである。

【0029】

図 29 (B) から明らかであるように、静電気の印加に起因して大きな電流が流れると、高抵抗領域 230b において、電圧は V1 から V2 まで降下し、急激な電圧降下が発生する。このため、高抵抗領域 230b に発熱が集中し、高抵抗領域 230b において局所的な発熱が起こる。特に、半導体素子の小面積化を図るため、高抵抗領域 230b は小さな面積を有するものとして形成されているため、単位面積当たりの発熱量は極めて大きくなり、その結果、抵抗素子そのものが熱的に破壊されてしまう確率が極めて大きくなる。

【0030】

本発明は、以上のような従来の半導体素子における問題点に鑑みてなされたものであり、半導体素子の面積を拡大することなく、静電気が印加されても高抵抗領域に発熱集中が生じない半導体素子、半導体装置及びそれらの製造方法を提供することを目的とする。

【0031】

【課題を解決するための手段】

この目的を達成するため、本発明は、高抵抗領域と、高抵抗領域を取り囲む中抵抗領域と、シリサイド層からなる低抵抗領域とを備える半導体素子あるいはこのような半導体素子を含む半導体装置を提供する。例えば、高抵抗領域及び中抵抗領域はいずれも基板の表面に露出している。

【0032】

本発明に係る半導体素子によれば、半導体素子の抵抗値が位置に応じて段階的に変化し、高抵抗領域に発熱が集中することがない。従って、従来の半導体素子のように高抵抗領域のみで抵抗素子を形成する場合と比較して、静電気破壊に対する耐性をより高くすることができる。

【0033】

さらに、本発明に係る半導体素子においては、抵抗素子は、高抵抗領域、中抵抗領域及び低抵抗領域の 3 種類の抵抗領域から形成されているため、抵抗素子を低抵抗領域または中抵抗領域のみから形成した半導体素子と比較して、所望の抵抗値をより小さい領域で達成することができるため、半導体素子全体の面積を小さくすることが可能である。

【0034】

このように、本発明に係る半導体素子によれば、3種類の抵抗領域が混在することにより、小面積でありながら、静電気破壊（ESD）に対する高い耐性を有する抵抗素子もしくは静電気保護回路を形成することができる。

【0035】

【発明の実施の形態】

（第一の実施形態）

図1は、本発明の第一の実施形態に係る半導体素子10の断面図である。

【0036】

半導体素子10は、P型半導体基板11と、P型半導体基板11上に形成されたシリサイド層12と、を備えている。

【0037】

P型半導体基板11には、比較的低濃度である第一の不純物濃度を有する第一領域としてのNウェル13と、Nウェル13の第一の不純物濃度よりも高い第二の不純物濃度を有する第二領域としての二つのN⁺拡散層14と、が形成されている。第一領域としてのNウェル13及び第二領域としての二つのN⁺拡散層14はシリサイド層12に覆われていない第一表面領域及び第二表面領域をそれぞれ有している。Nウェル13の第一表面領域はP型半導体基板11の表面に露出している露出領域13Rとして形成されており、N⁺拡散層14の第二表面領域は露出領域13Rを囲むようにして、第二露出領域14Rとして、P型半導体基板11の表面に形成されている。

【0038】

シリサイド層12は、第二領域としてのN⁺拡散層14上にそれぞれ形成されており、N⁺拡散層14の一部が露出領域13Rと連続して露出する第二露出領域14Rをなすように形成されている。

【0039】

第一の不純物濃度（Nウェル13の不純物濃度）及び第二の不純物濃度（N⁺拡散層14の不純物濃度）の一例を以下に示す。

【0040】

第一の不純物濃度: 1×10^{13} 乃至 2×10^{13} (cm^{-2})

第二の不純物濃度: 1×10^{15} 乃至 6×10^{15} (cm^{-2})

また、第二露出領域 14R の P 型半導体基板 11 の表面上における全長（以下、「表面長さ」と呼ぶ）2W は露出領域 13R の P 型半導体基板 11 の表面上における長さ（表面長さ）S よりも小さくないように形成されている。すなわち、第二露出領域 14R の表面長さ 2W は露出領域 13R の表面長さ S とほぼ等しいか、あるいは、第二露出領域 14R の表面長さ 2W は露出領域 13R の表面長さ S よりも大きい。

【0041】

すなわち、 $2W \div S$ または $2W > S$ である。

【0042】

ESD パルスを印加するとジュール熱が発生するが、熱による破壊を防止するため、このジュール熱は広面積に分散させることが必要である。本発明者が行った実験及び解析によれば、熱が発生する面積を従来の約 2 倍以上とし、抵抗素子の破壊耐性を従来の 2 倍以上にすることが必要であることが判明した。

【0043】

図 29 に示した従来の半導体装置 210 においては、高抵抗領域 230b において発熱が生じる。ここで、高抵抗領域 230b の長さを S とすると、発熱領域の長さは S で表される。

【0044】

一方、図 1 に示した本実施形態に係る半導体素子 10 において熱が発生する領域は第二露出領域（中抵抗領域）14R 及び露出領域（高領域抵抗）13R である。すなわち、発熱領域の長さは $(2W + S)$ である。このため、第二露出領域（中抵抗領域）14R の長さ 2W を露出領域（高領域抵抗）13R の長さ S とほぼ同等または長さ S 以上とすることにより、

$$2W + S \div 2S \quad \text{または} \quad 2W + S > 2S$$

となり、発熱領域の面積を従来の 2 倍以上にすることができる。

【0045】

さらに、第二露出領域 14R の表面長さ W は N⁺拡散層 14 の深さ D と等しい

か、あるいは、深さDよりも大きく設定されている。

【0 0 4 6】

すなわち、 $W \geq D$ である。

【0 0 4 7】

図3 (A) は、従来の半導体素子 2 1 0 における電流経路の長さ L_1 を示す概略図であり、図3 (B) は、本実施形態に係る半導体素子 1 0 における電流経路の長さ L_2 を示す概略図である。

【0 0 4 8】

図3 (B) に示すように、本実施形態に係る半導体素子 1 0 の中抵抗領域 1 4 R においては、電流は矢印 X_2 に沿って流れる。

【0 0 4 9】

従って、中抵抗領域 1 4 R を流れる電流の経路の長さ L_2 は

$$L_2 = 2 \times (W^2 + D^2)^{1/2}$$

となる。

【0 0 5 0】

一方、従来の半導体素子においても、電流がN+拡散層 2 0 2 を全く流れないわけではなく、低抵抗領域に電流が流れる過程において、いくつかの電流が矢印 X_1 に沿ってN+拡散層 2 0 2 にも流れているものと考えられる。この場合の電流経路 L_1 は

$$L_1 = 2 \times D$$

である。

【0 0 5 1】

仮に、第二露出領域（中抵抗領域） 1 4 R の表面長さ W がN+拡散層 1 4 の深さ D に対して極めて小さければ ($W \ll D$)、

$$L_2 = 2 \times (W^2 + D^2)^{1/2} = 2 \times (D^2)^{1/2} = 2 \times D = L_1$$

となる。

【0 0 5 2】

すなわち、 $W \ll D$ である場合には、電流の経路の長さ L_2 は従来の半導体素子における電流の経路の長さ L_1 と同等であり、従って、従来の半導体素子と同等

の耐性しか得ることができない。

【0053】

このため、 $W \geq D$ と設定することにより、 N^+ 拡散層 14 を流れる電流の経路長さを従来の半導体素子における経路長さよりも大きくし、従来の半導体素子よりも大きな耐性を得ることができる。

【0054】

本実施形態に係る半導体素子 10 においては、シリサイド層 12 が低抵抗領域を、 N^+ 拡散層 14 の第二露出領域 14 R が中抵抗領域を、 N ウェル 13 の露出領域 13 R は高抵抗領域をそれぞれ形成している。

【0055】

図 2 は、半導体素子 10 の図 1 の断面上の各位置と、印加される電圧との関係を示すグラフであり、従来の半導体素子 210 における同様の関係を示す図 29 (B) に対応するグラフである。

【0056】

図 2 に示されているように、従来の半導体素子 210 (図 29 (B)) の場合と同様に、中抵抗領域を形成している第二露出領域 14 R 及び高抵抗領域を形成している露出領域 13 R においては、電圧降下が発生している。しかしながら、図 29 (B) に示したグラフにおいては、電圧降下の勾配は一定であったのに対して、図 2 に示したグラフにおいては、中抵抗領域を形成している第二露出領域 14 R における電圧降下の勾配 $\theta 1$ と高抵抗領域を形成している露出領域 13 R における電圧降下の勾配 $\theta 2$ とは異なっている。具体的には、中抵抗領域を形成している第二露出領域 14 R における電圧降下の勾配 $\theta 1$ の方が高抵抗領域を形成している露出領域 13 R における電圧降下の勾配 $\theta 2$ よりも小さくなっている。

【0057】

このように、各抵抗領域における勾配 $\theta 1$ 、 $\theta 2$ が異なることにより、半導体素子 10 において電圧が $V 1$ から $V 2$ まで降下する結果として発熱が生じる領域は、従来の半導体素子 210 において電圧が $V 1$ から $V 2$ まで降下する結果として発熱が生じる領域よりも広くなる。これを一次元的な量、すなわち、長さに置

き換えて考えると、従来の半導体素子 210 において発熱が生じる領域の長さは L_1 であったのに対して、本実施形態に係る半導体素子 10 において発熱が生じる領域の長さは L_2 であり、各抵抗領域における勾配 θ_1 、 θ_2 が異なることの結果として、長さ L_2 は長さ L_1 よりも長い。

【0058】

このため、従来の半導体素子 210 における電圧降下量と本実施形態に係る半導体素子 10 における電圧降下量とが同一、すなわち、電圧降下に伴う発熱量が同一であっても、本実施形態に係る半導体素子 10 において発熱が生じる領域の方が従来の半導体素子 210 において発熱が生じる領域よりも広いため、本実施形態に係る半導体素子 10 は、高抵抗領域（露出領域 13R）への発熱の集中を抑制することができると同時に、従来の半導体素子 210 よりも小さい温度上昇率を達成することができる。従って、高抵抗領域における発熱による破壊を防止することができる。

【0059】

このように、本実施形態に係る半導体素子 10 においては、高抵抗領域（露出領域または第一表面領域 13R）の周囲に中抵抗領域（第二露出領域または第二表面領域 14R）を形成し、さらに、中抵抗領域（第二露出領域または第二表面領域 14R）の周囲に低抵抗領域（シリサイド層 12）を形成している。このため、半導体素子 10 の抵抗値が位置に応じて段階的に変化し、高抵抗領域（露出領域 13R）に発熱が集中することがない。従って、従来の半導体素子 210 のように高抵抗領域のみで抵抗素子を形成する場合と比較して、静電気破壊に対する耐性をより高くすることができる。

【0060】

さらに、本実施形態に係る半導体素子 10 においては、抵抗素子は、高抵抗領域（露出領域または第一表面領域 13R）、中抵抗領域（第二露出領域または第二表面領域 14R）及び低抵抗領域（シリサイド層 12）の 3 種類の抵抗領域から形成されているため、抵抗素子を低抵抗領域または中抵抗領域のみから形成した半導体素子と比較して、所望の抵抗値をより小さい領域で達成することができるため、半導体素子全体の面積を小さくすることが可能である。

【0061】

このように、本実施形態に係る半導体素子10によれば、3種類の抵抗領域が混在することにより、小面積でありながら、静電気破壊（ESD）に対する高い耐性を有する抵抗素子もしくは静電気保護回路を形成することができる。

【0062】

以下、図4を参照して、静電気破壊（ESD）に対する耐性の向上について説明する。

【0063】

図4（A）は、ドレイン抵抗がない場合の保護素子のスナップバック特性を示す曲線A1、従来の半導体素子において使用されている保護素子のスナップバック特性を示す曲線A2、本実施形態に係る半導体素子10において使用されている保護素子のスナップバック特性を示す曲線A3、をそれぞれ示すグラフであり、縦軸は電流[A]、縦軸はドレイン電圧[V]をそれぞれ示す。図4（B）は、保護素子を含む半導体素子の等価回路図である。

【0064】

図4に示す例においては、保護素子はMOSトランジスタからなるものとする。

【0065】

保護素子としてのMOSトランジスタがブレイクダウンすると、ドレインから基板に電流が流れる（点A）。

【0066】

図4（B）に示すように、ドレインと基板との間には基板の寄生抵抗があるため、ドレインから基板に電流が流れると、基板電位が上昇し、寄生素子であるバイポーラトランジスタ T_r がオンする「スナップバック」という動作が起こる（点B）。

【0067】

その後、寄生バイポーラトランジスタ T_r やドレイン抵抗 R_D が破壊するまで、電流は流れ続ける。

【0068】

スナップバックした後の特性曲線の傾斜は寄生バイポーラトランジスタ T_r がオンしたときの抵抗値とドレインの抵抗値とによって決定される。

【0069】

図4 (A) の曲線A1はドレインに抵抗がない場合の曲線であるため、傾斜は急峻であるが、曲線A2及びA3においては、ドレインに抵抗を接続しているため、比較的緩やかな傾斜になっている。

【0070】

曲線A2に示すように、従来の半導体素子においては、ドレインの抵抗素子に局所的に高熱が発生するため、ドレイン抵抗がない場合（曲線A1）と比較しても、破壊電流は小さい。

【0071】

これに対して、曲線A3に示すように、本実施形態に係る半導体素子10においては、抵抗素子の破壊耐性を向上させることができるので、破壊電流の値も従来の半導体素子における破壊電流の値よりも大きくなる。破壊電流の値が向上することにより、半導体素子そのものの静電気破壊に対する耐性も向上する。

【0072】

図5乃至図16は、本実施形態に係る半導体素子10の各製造過程を示す断面図である。以下、図5乃至図16を参照して、本実施形態に係る半導体素子10の製造方法の一例を説明する。

【0073】

まず、図5に示すように、P型半導体基板11の表面上に所定のパターンを有するフォトリジスト15を形成する。

【0074】

次いで、図6に示すように、フォトリジスト15をマスクとして、P型半導体基板11に低濃度のN型不純物を注入し、第一の不純物濃度を有する第一領域としてのNウェル13を形成する。

【0075】

この後、図7に示すように、P型半導体基板11上のフォトリジスト15を除去する。

【0076】

次いで、図8に示すように、第二領域としてのN⁺拡散層14を形成するためのパターンを有するフォトリジスト16をP型半導体基板11の表面上に形成する。

【0077】

次いで、図9に示すように、フォトリジスト16をマスクとして、P型半導体基板11に高濃度のN型不純物を注入し、第一の不純物濃度よりも高い不純物濃度を有する第二領域としてのN⁺拡散層14をNウェル13内に形成する。

【0078】

この後、図10に示すように、P型半導体基板11上のフォトリジスト16を除去する。この段階においては、Nウェル13は、P型半導体基板11の表面に露出している露出領域（または、第一表面領域）13Rを有しており、二つのN⁺拡散層14は露出領域13Rを囲むようにして形成されている。

【0079】

次いで、図11に示すように、P型半導体基板11上に全面にわたってシリコン酸化膜17を形成する。

【0080】

次いで、図12に示すように、露出領域（または、第一表面領域）13R及び第二露出領域（または、第二表面領域）14Rを形成するためのパターンを有するフォトリジスト18をシリコン酸化膜17上に形成する。

【0081】

次いで、図13に示すように、フォトリジスト18をマスクとして、シリコン酸化膜17をエッチングする。

【0082】

この後、図14に示すように、シリコン酸化膜17上のフォトリジスト18を除去する。

【0083】

次いで、図15に示すように、P型半導体基板11及びシリコン酸化膜17の全面にわたって金属膜をスパッタリングにより形成する。この後、熱処理を行う

ことにより、P型半導体基板 11 及びシリコン酸化膜 17 上の金属膜はシリコンと反応し、シリサイド層 12 を形成する。

【0084】

次いで、図 16 に示すように、エッチングにより、シリコン酸化膜 17 及びその上のシリサイド層を除去する。この場合、シリコン酸化膜 17 上の金属膜はエッチングの際に化学反応により除去されるが、シリサイド化した金属膜（すなわち、シリサイド層 12）はエッチングによっては除去されにくいため、P型半導体基板 11 上のシリサイド層 12 のみが残る。

【0085】

以上の過程を経て、図 1 に示した本実施形態に係る半導体素子 10 が形成される。

【0086】

図 17 は、本実施形態に係る半導体素子 10 を備える半導体装置 110 の断面図である。なお、図 17 において、明示されたものを除き、図 1 に示した半導体素子 10 の構成要素と同一の構成要素には同一の符号を付けて示す。

【0087】

半導体装置 110 においては、P型半導体基板 11 には、第二領域としての第 1、第 2 及び第 3 の N⁺拡散層 14 A、14 B、14 C が形成されており、N⁺拡散層 14 A、14 B、14 C の各々の上には第 1、第 2 及び第 3 のシリサイド層 12 A、12 B、12 C がそれぞれ形成されている。

【0088】

P型半導体基板 11、Nウェル 13、第 2 及び第 3 の N⁺拡散層 14 B、14 C（半導体素子 10 における N⁺拡散層 14 に対応している）、第 2 及び第 3 のシリサイド層 12 B、12 C（半導体素子 10 におけるシリサイド層 12 に対応している）が本実施形態に係る半導体素子 10 を形成している。

【0089】

第 1 のシリサイド層 12 A は、第 2 及び第 3 のシリサイド層 12 B、12 C とは異なり、第 1 の N⁺拡散層 14 A の全体を覆っている。

【0090】

第1のシリサイド層12A上にはソース電極111が、第3のシリサイド層12C上にはドレイン電極112がそれぞれ形成されている。

【0091】

また、第1のシリサイド層12Aと第2のシリサイド層12Bとの間には、P型半導体基板11上に形成されたゲート絶縁膜113と、ゲート絶縁膜113上に形成されたゲート電極114と、ゲート絶縁膜113及びゲート電極114の周囲に形成されたサイドウォール115と、からなるゲート電極構造が形成されている。

【0092】

さらに、ゲート絶縁膜113の周囲には、P型半導体基板11の表面にLDD注入領域116が形成されている。

【0093】

半導体装置110は本実施形態に係る半導体素子10の構造をそのまま備えているので、本実施形態に係る半導体素子10によって与えられる効果をそのまま有する。すなわち、半導体装置110は、半導体素子の部分において、3種類の抵抗領域が混在することにより、小面積でありながら、静電気破壊(ESD)に対する高い耐性を有する抵抗素子もしくは静電気保護回路を形成している。

【0094】

以下、半導体装置110の製造方法の一例を説明する。

【0095】

先ず、図5乃至図7に示した過程と同様の過程により、P型半導体基板11にNウェル13を形成する。

【0096】

次いで、フォトリソグラフィ及びドライエッチングにより、P型半導体基板11上にゲート絶縁膜113及びゲート電極114を形成する。

【0097】

その後、ゲート電極114をマスクとして、P型半導体基板11にN型不純物を導入し、LDD注入領域116を形成する。

【0098】

次いで、ゲート絶縁膜 113 及びゲート電極 114 の周囲にサイドウォール 115 を形成する。

【0099】

次いで、図 8 乃至図 10 に示した過程と同様の過程により、第 1 乃至第 3 の第 1、第 2 及び第 3 の N⁺拡散層 14A、14B、14C を形成する。この場合、第 1 及び第 2 の N⁺拡散層 14A、14B の形成に際しては、ゲート電極 114 及びサイドウォール 115 がマスクとして作用する。

【0100】

次いで、図 11 乃至図 16 に示した過程と同様の過程により、第 1 乃至第 3 の第 1、第 2 及び第 3 の N⁺拡散層 14A、14B、14C 上に第 1 乃至第 3 のシリサイド層 12A、12B、12C を形成する。この場合、第 1 及び第 2 のシリサイド層 12A、12B の形成に際しては、ゲート電極 114 及びサイドウォール 115 がマスクとして作用する。

【0101】

その後、フォトリソグラフィ及びドライエッチングにより、第 1 のシリサイド層 12A 上にソース電極 111 を、第 3 のシリサイド層 12C 上にドレイン電極 112 を形成する。

【0102】

以上の過程を経て、図 17 に示した半導体装置 110 が形成される。

【0103】

なお、本実施形態に係る半導体素子 10 は N チャンネル MOS トランジスタとして示したが、基板 11 その他の構成要素の導電型を全て逆にして、本実施形態に係る半導体素子 10 を P チャンネル MOS トランジスタとして構成することも可能である。

【0104】

また、本実施形態に係る半導体素子 10 は、P 型半導体基板上の素子として構成したが、N 型半導体基板上の素子または SOI (Silicon On Insulator) 上の素子として構成することも可能である。

(第二の実施形態)

図18は、本発明の第二の実施形態に係る半導体素子20の断面図である。

【0105】

本実施形態に係る半導体素子20は、図1に示した第一の実施形態に係る半導体素子10と比較して、第一領域の構成が異なっている。

【0106】

図1に示した第一の実施形態に係る半導体素子10においては、第一領域はNウェル13のみから形成されていたが、本実施形態に係る半導体素子20においては、第一領域は、Nウェル13と、Nウェル13に重なって形成された第三領域としてのLDD注入領域21とからなっている。第三領域としてのLDD注入領域21は、Nウェル13の不純物濃度よりも高く、かつ、N⁺拡散層14の不純物濃度よりも低い不純物濃度を有している。従って、高抵抗領域を形成する露出領域13RはLDD注入領域21により構成されている。LDD注入領域21はP型半導体基板11の表面においてNウェル13及びN⁺拡散層14と重なり合っている。

【0107】

LDD注入領域21の不純物濃度は、例えば、 4×10^{13} 乃至 4×10^{14} (cm⁻²)である。

【0108】

以上のように、第一領域の構成が異なっている点を除いて、本実施形態に係る半導体素子20は第一の実施形態に係る半導体素子10と同一の構造を有している。このため、半導体素子10と同一の構成要素は同一の参照符号により表す。

【0109】

Nウェルの不純物濃度とLDD領域の不純物濃度とを比較すると、一般的には、LDD領域の不純物濃度の方が大きい。このため、LDD領域の単位長さ当たりの抵抗値はNウェルよりも小さく、占有面積はNウェルよりも大きく、また、電位勾配はNウェルよりも小さくなる。このため、本実施形態に係る半導体素子20は、第一の実施形態に係る半導体素子10の構成にLDD注入領域21を加えたことにより、第一の実施形態に係る半導体素子10よりも大きな耐性を得ることができる。

【0110】

以下、本実施形態に係る半導体素子 20 の製造方法の一例を説明する。

【0111】

まず、図 5 乃至図 7 に示した過程と同様の過程により、P 型半導体基板 11 に N ウェル 13 を形成する。

【0112】

次いで、P 型半導体基板 11 に N 型不純物を導入し、P 型半導体基板 11 の表面に LDD 注入領域 21 を形成する。

【0113】

以下、第一の実施形態に係る半導体素子 10 の製造過程と同様の過程を実施することにより、本実施形態に係る半導体素子 20 が製造される。

【0114】

図 19 は、本実施形態に係る半導体素子 20 を備える半導体装置 120 の断面図である。なお、図 19 において、図 17 に示した半導体装置 110 の構成要素と同一の構成要素には同一の符号を付けて示す。

【0115】

図 17 に示した半導体装置 110 においては、LDD 注入領域 116 はゲート絶縁膜 113 の端部（図 17 における右側の端部）から第 2 のシリサイド層 12B の下方、すなわち、N ウェル 13 と重なり合わない領域までしか形成されていなかったが、半導体装置 120 においては、LDD 注入領域 21 は N ウェル 13 と全体的に重なり合うように形成されている。この点を除いて、半導体装置 120 は図 17 に示した半導体装置 110 と同一の構造を有している。

【0116】

半導体装置 120 は本実施形態に係る半導体素子 20 の構造をそのまま備えているので、本実施形態に係る半導体素子 20 によって与えられる効果をそのまま有する。

【0117】

以下、半導体装置 120 の製造方法の一例を説明する。

【0118】

半導体装置 120 の製造に際しては、図 17 に示した半導体装置 110 の製造方法において、LDD 注入領域 116 の長さを変更する。LDD 注入領域 116 の長さを変更することのみによって、他の過程に変更を加えることなく、半導体装置 110 の製造方法と同様の方法により、半導体装置 120 を製造することができる。

【0119】

なお、本実施形態に係る半導体素子 20 は N チャネル MOS トランジスタとして示したが、基板 11 その他の構成要素の導電型を全て逆にして、本実施形態に係る半導体素子 20 を P チャネル MOS トランジスタとして構成することも可能である。

【0120】

また、本実施形態に係る半導体素子 20 は、P 型半導体基板上の素子として構成したが、N 型半導体基板上の素子または SOI (Silicon On Insulator) 上の素子として構成することも可能である。

(第三の実施形態)

図 20 は、本発明の第三の実施形態に係る半導体素子 30 の断面図である。

【0121】

本実施形態に係る半導体素子 30 は、図 1 に示した第一の実施形態に係る半導体素子 10 と比較して、第一領域の構成が異なっている。

【0122】

図 1 に示した第一の実施形態に係る半導体素子 10 においては、第一領域は N ウェル 13 から形成されていたが、本実施形態に係る半導体素子 30 においては、第一領域は P 型半導体基板 11 の表面に形成された LDD 注入領域 31 からなっている。従って、高抵抗領域を形成する露出領域 13R は LDD 注入領域 31 により構成される。LDD 注入領域 31 は P 型半導体基板 11 の表面において N⁺拡散層 14 と重なり合っている。

【0123】

LDD 注入領域 31 の不純物濃度は、例えば、 4×10^{13} 乃至 4×10^{14} (cm⁻²) である。

【0 1 2 4】

以上のように、第一領域の構成が異なっている点を除いて、本実施形態に係る半導体素子 3 0 は第一の実施形態に係る半導体素子 1 0 と同一の構造を有している。このため、半導体素子 1 0 と同一の構成要素は同一の参照符号により表す。

【0 1 2 5】

本実施形態に係る半導体素子 3 0 においても、第一の実施形態に係る半導体素子 1 0 と同様に、抵抗素子は、高抵抗領域（露出領域 1 3 R）、中抵抗領域（第二露出領域 1 4 R）及び低抵抗領域（シリサイド層 1 2）の 3 種類の抵抗領域から形成される。このため、小面積でありながら、静電気破壊（E S D）に対する高い耐性を有する抵抗素子もしくは静電気保護回路を形成することができる。

【0 1 2 6】

以下、本実施形態に係る半導体素子 3 0 の製造方法の一例を説明する。

【0 1 2 7】

まず、図 5 乃至図 7 に示した過程と同様の過程により、P 型半導体基板 1 1 に N ウェル 1 3 に代えて L D D 注入領域 3 1 を形成する。

【0 1 2 8】

以下、第一の実施形態に係る半導体素子 1 0 の製造過程と同様の過程を実施することにより、本実施形態に係る半導体素子 3 0 が製造される。

【0 1 2 9】

図 2 1 は、本実施形態に係る半導体素子 3 0 を備える半導体装置 1 3 0 の断面図である。なお、図 2 1 において、図 1 7 に示した半導体装置 1 1 0 の構成要素と同一の構成要素には同一の符号を付けて示す。

【0 1 3 0】

図 1 7 に示した半導体装置 1 1 0 においては、L D D 注入領域 1 1 6 はゲート絶縁膜 1 1 3 の端部（図 1 7 における右側の端部）から第 2 のシリサイド層 1 2 B の下方、すなわち、第 2 の N⁺拡散層 1 4 B と部分的に重なり合う領域までしか形成されていなかったが、半導体装置 1 3 0 においては、図 1 9 に示した半導体装置 1 2 0 の場合と同様に、L D D 注入領域 3 1 は第 2 の N⁺拡散層 1 4 B 及び第 3 の N⁺拡散層 1 4 C と全体的に重なり合うように形成されている。

【0131】

さらに、半導体装置 130 には、半導体装置 110 には形成されていた N ウェル 13 は形成されていない。

【0132】

これらの点を除いて、半導体装置 130 は図 17 に示した半導体装置 110 と同一の構造を有している。

【0133】

半導体装置 130 は本実施形態に係る半導体素子 30 の構造をそのまま備えているので、本実施形態に係る半導体素子 30 によって与えられる効果をそのまま有する。

【0134】

以下、半導体装置 130 の製造方法の一例を説明する。

【0135】

半導体装置 130 は、図 19 に示した半導体装置 120 の製造方法において N ウェル 13 を形成する過程を除く全ての過程を同様に実施することにより、製造することができる。

【0136】

なお、本実施形態に係る半導体素子 30 は N チャネル MOS トランジスタとして示したが、基板 11 その他の構成要素の導電型を全て逆にして、本実施形態に係る半導体素子 30 を P チャネル MOS トランジスタとして構成することも可能である。

【0137】

また、本実施形態に係る半導体素子 30 は、P 型半導体基板上の素子として構成したが、N 型半導体基板上の素子または SOI (Silicon On Insulator) 上の素子として構成することも可能である。

(第四の実施形態)

図 22 は、本発明の第四の実施形態に係る半導体素子 40 の断面図である。

【0138】

本実施形態に係る半導体素子 40 は、図 18 に示した第二の実施形態に係る半

導体素子 20 と比較して、以下の点が異なっている。

【0139】

すなわち、本実施形態に係る半導体素子 40 においては、図 18 に示した半導体素子 20 において露出領域（または、第一表面領域）13R を形成していた LDD 注入領域 21 に代えて、フィールド酸化膜 41 が形成されている。この点を除いて、本実施形態に係る半導体素子 40 は図 18 に示した第二の実施形態に係る半導体素子 20 と同一の構造を有している。

【0140】

このように、フィールド酸化膜 41 を形成することにより、露出領域 13R は失われるが、フィールド酸化膜 41 が露出領域 13R と同様の機能を奏するため、本実施形態に係る半導体素子 40 は第一の実施形態に係る半導体素子 10 と同様の効果を奏する。すなわち、本実施形態に係る半導体素子 40 によれば、高抵抗領域、中抵抗領域及び低抵抗領域の 3 種類の抵抗領域が混在することにより、小面積でありながら、静電気破壊（ESD）に対する高い耐性を有する抵抗素子もしくは静電気保護回路を形成することができる。

【0141】

なお、本実施形態に係る半導体素子 40 は第二の実施形態に係る半導体素子 20 をベースとしたが、図 1 に示した第一の実施形態に係る半導体素子 10 または図 20 に示した第三の実施形態に係る半導体素子 30 をベースとすることが可能である。

【0142】

すなわち、第一の実施形態に係る半導体素子 10 における N ウェル 13 の露出領域 13R または第三の実施形態に係る半導体素子 30 における LDD 注入領域 31 の露出領域 13R にフィールド酸化膜 41 を形成することも可能である。

【0143】

以下、本実施形態に係る半導体素子 40 の製造方法の一例を説明する。

【0144】

まず、図 5 乃至図 7 に示した過程と同様の過程により、P 型半導体基板 11 に N ウェル 13 を形成する。

【0145】

次いで、公知の方法により、Nウェル13内にフィールド酸化膜41を形成する。

【0146】

以下、第二の実施形態に係る半導体素子20の製造過程と同様の過程を実施することにより、本実施形態に係る半導体素子40が製造される。なお、フィールド酸化膜41はLDD注入領域21及びN⁺拡散層14を形成する際にマスクとして用いることができる。

【0147】

図23は、本実施形態に係る半導体素子40を備える半導体装置140の断面図である。なお、図23において、図19に示した半導体装置120の構成要素と同一の構成要素には同一の符号を付けて示す。

【0148】

半導体装置140は、図19に示した半導体装置120と比較して、第2のN⁺拡散層14B及び第3のN⁺拡散層14Cの間において露出領域13Rを形成していたLDD注入領域21に代えて、フィールド酸化膜41が形成されている。この点を除いて、半導体装置140は図19に示した半導体装置120と同一の構造を有している。

【0149】

半導体装置140は本実施形態に係る半導体素子40の構造をそのまま備えているので、本実施形態に係る半導体素子40によって与えられる効果をそのまま有する。

【0150】

以下、半導体装置140の製造方法の一例を説明する。

【0151】

先ず、P型半導体基板11にNウェル13を形成した後、公知の方法により、Nウェル13内にフィールド酸化膜41を形成する。以下、半導体装置120の製造方法と同一の過程を実施することにより、半導体装置140を製造することができる。なお、フィールド酸化膜41はLDD注入領域21、第2のN⁺拡散

層 14B 及び第 3 の N⁺拡散層 14C を形成する際にマスクとして用いることができる。

【0152】

なお、本実施形態に係る半導体素子 40 は N チャネル MOS トランジスタとして示したが、基板 11 その他の構成要素の導電型を全て逆にして、本実施形態に係る半導体素子 40 を P チャネル MOS トランジスタとして構成することも可能である。

【0153】

また、本実施形態に係る半導体素子 40 は、P 型半導体基板上の素子として構成したが、N 型半導体基板上の素子または SOI (Silicon On Insulator) 上の素子として構成することも可能である。

(第五の実施形態)

図 24 は、本発明の第五の実施形態に係る半導体素子 50 の断面図である。

【0154】

本実施形態に係る半導体素子 50 は、図 18 に示した第二の実施形態に係る半導体素子 20 と比較して、以下の点が異なっている。

【0155】

すなわち、本実施形態に係る半導体素子 50 においては、露出領域（または、第一表面領域）13R 上に、P 型半導体基板 11 上に形成されたゲート酸化膜 51 と、ゲート酸化膜 51 上に形成されたゲート電極 52 と、ゲート酸化膜 51 及びゲート電極 52 の周囲に形成されたサイドウォール 53 と、からなるゲート電極構造が形成されている。LDD 注入領域 21 は、ゲート酸化膜 51 の下方の領域には形成されていない。これらの点を除いて、本実施形態に係る半導体素子 50 は図 18 に示した第二の実施形態に係る半導体素子 20 と同一の構造を有している。

【0156】

上述の第一乃至第三の実施形態に係る半導体素子 10、20 及び 30 においては、高抵抗領域 13R は、N⁺拡散層 14 を形成する高濃度 N 型不純物注入工程の際のマスクパターンにより、画定される。

【0157】

これに対して、本実施形態に係る半導体素子50においては、高抵抗領域13Rは基板上に形成したポリシリコンの位置により決定される。このポリシリコンはトランジスタのゲート電極52を形成する工程において形成されるため、N⁺拡散層14を形成する高濃度N型不純物注入工程の際のマスクパターンと比較して、より高精度かつより微細に加工することが可能である。従って、本実施形態に係る半導体素子50は、第一乃至第三の実施形態に係る半導体素子10、20及び30と比較して、より高精度かつより微細に設計することが可能である。

【0158】

以下、本実施形態に係る半導体素子50の製造方法の一例を説明する。

【0159】

まず、図5乃至図7に示した過程と同様の過程により、P型半導体基板11にNウェル13を形成する。

【0160】

次いで、フォトリソグラフィー及びドライエッチングにより、P型半導体基板11上にゲート絶縁膜51及びゲート電極52を形成する。

【0161】

その後、ゲート電極52をマスクとして、P型半導体基板11にN型不純物を導入し、LDD注入領域21を形成する。

【0162】

次いで、ゲート絶縁膜51及びゲート電極52の周囲にサイドウォール53を形成する。

【0163】

次いで、図8乃至図10に示した過程と同様の過程により、N⁺拡散層14を形成する。この場合、N⁺拡散層14の形成に際しては、ゲート電極52及びサイドウォール53がマスクとして作用する。

【0164】

次いで、図11乃至図16に示した過程と同様の過程により、N⁺拡散層14上にシリサイド層12を形成する。

【0165】

以上の過程を経て、図24に示した半導体装置50が形成される。

【0166】

図25は、本実施形態に係る半導体素子50を備える半導体装置150の断面図である。なお、図25において、図19に示した半導体装置120の構成要素と同一の構成要素には同一の符号を付けて示す。

【0167】

半導体装置150においては、露出領域13R上に、P型半導体基板11上に形成されたゲート酸化膜51と、ゲート酸化膜51上に形成されたゲート電極52と、ゲート酸化膜51及びゲート電極52の周囲に形成されたサイドウォール53と、からなるゲート電極構造が形成されている。LDD注入領域21は、ゲート酸化膜51の下方の領域には形成されていない。これらの点を除いて、半導体装置150は図19に示した半導体装置120と同一の構造を有している。

【0168】

半導体装置150は本実施形態に係る半導体素子50の構造をそのまま備えているので、本実施形態に係る半導体素子50によって与えられる効果をそのまま有する。

【0169】

以下、半導体装置150の製造方法の一例を説明する。

【0170】

図19に示した半導体装置120を製造する際に、第1のシリサイド層12Aと第2のシリサイド層12Bとの間に、ゲート酸化膜113とゲート電極114とサイドウォール115とからなるゲート電極構造が形成されるが、半導体装置150を製造する際には、そのゲート電極構造と同時に、ゲート酸化膜51とゲート電極52とサイドウォール53とからなるゲート電極構造をも形成する。これ以外は半導体装置120の製造過程と同一の過程を実施することにより、半導体装置150を製造することができる。

【0171】

なお、本実施形態に係る半導体素子50はNチャネルMOSトランジスタとし

て示したが、基板 11 その他の構成要素の導電型を全て逆にして、本実施形態に係る半導体素子 50 を P チャンネル MOS トランジスタとして構成することも可能である。

【0172】

また、本実施形態に係る半導体素子 50 は、P 型半導体基板上の素子として構成したが、N 型半導体基板上の素子または SOI (Silicon On Insulator) 上の素子として構成することも可能である。

【0173】

【発明の効果】

以上のように、本発明に係る半導体素子においては、高抵抗領域をなす露出領域の周囲に中抵抗領域をなす第二露出領域が形成され、さらに、第二露出領域の周囲に低抵抗領域をなすシリサイド層 12 が形成される。このため、半導体素子の抵抗値が位置に応じて段階的に変化し、高抵抗領域に発熱が集中することがない。従って、従来の半導体素子のように高抵抗領域のみで抵抗素子を形成する場合と比較して、静電気破壊に対する耐性を高めることができる。

【0174】

さらに、本発明に係る半導体素子においては、抵抗素子は、高抵抗領域（露出領域）、中抵抗領域（第二露出領域）及び低抵抗領域（シリサイド層）の 3 種類の抵抗領域から形成されているため、抵抗素子を低抵抗領域または中抵抗領域のみから形成した半導体素子と比較して、所望の抵抗値をより小さい領域で達成することができ、半導体素子全体の面積を小さくすることが可能である。

【0175】

このように、本発明に係る半導体素子によれば、3 種類の抵抗領域が混在することにより、小面積でありながら、静電気破壊 (ESD) に対する高い耐性を有する抵抗素子もしくは静電気保護回路を形成することができる。

【図面の簡単な説明】

【図 1】

本発明の第一の実施形態に係る半導体素子の断面図である。

【図 2】

図 1 に示した第一の実施形態に係る半導体素子の断面上の各位置と、印加される電圧との関係を示すグラフである。

【図 3】

従来の半導体素子における電流経路の長さ（図 3（A））及び本発明の第一の実施形態に係る半導体素子における電流経路の長さ（図 3（B））を示す断面図である。

【図 4】

従来の半導体素子及び本発明の第一の実施形態に係る半導体素子のそれぞれにおける電流－ドレイン電圧曲線を示すグラフ（図 4（A））及び等価回路の回路である（図 4（B））。

【図 5】

図 1 に示した第一の実施形態に係る半導体素子の各製造過程を示す断面図である。

【図 6】

図 1 に示した第一の実施形態に係る半導体素子の各製造過程を示す断面図である。

【図 7】

図 1 に示した第一の実施形態に係る半導体素子の各製造過程を示す断面図である。

【図 8】

図 1 に示した第一の実施形態に係る半導体素子の各製造過程を示す断面図である。

【図 9】

図 1 に示した第一の実施形態に係る半導体素子の各製造過程を示す断面図である。

【図 1 0】

図 1 に示した第一の実施形態に係る半導体素子の各製造過程を示す断面図である。

【図 1 1】

図 1 に示した第一の実施形態に係る半導体素子の各製造過程を示す断面図である。

【図 1 2】

図 1 に示した第一の実施形態に係る半導体素子の各製造過程を示す断面図である。

【図 1 3】

図 1 に示した第一の実施形態に係る半導体素子の各製造過程を示す断面図である。

【図 1 4】

図 1 に示した第一の実施形態に係る半導体素子の各製造過程を示す断面図である。

【図 1 5】

図 1 に示した第一の実施形態に係る半導体素子の各製造過程を示す断面図である。

【図 1 6】

図 1 に示した第一の実施形態に係る半導体素子の各製造過程を示す断面図である。

【図 1 7】

第一の実施形態に係る半導体素子を備える半導体装置の断面図である。

【図 1 8】

本発明の第二の実施形態に係る半導体素子の断面図である。

【図 1 9】

第二の実施形態に係る半導体素子を備える半導体装置の断面図である。

【図 2 0】

本発明の第三の実施形態に係る半導体素子の断面図である。

【図 2 1】

第三の実施形態に係る半導体素子を備える半導体装置の断面図である。

【図 2 2】

本発明の第四の実施形態に係る半導体素子の断面図である。

【図 2 3】

第四の実施形態に係る半導体素子を備える半導体装置の断面図である。

【図 2 4】

本発明の第五の実施形態に係る半導体素子の断面図である。

【図 2 5】

第五の実施形態に係る半導体素子を備える半導体装置の断面図である。

【図 2 6】

第一の従来例に係る半導体素子の断面図である。

【図 2 7】

第二の従来例に係る半導体素子の断面図である。

【図 2 8】

第三の従来例に係る半導体素子の断面図である。

【図 2 9】

図 2 9 (A) は、図 2 7 に示した半導体装置のうちフィールド酸化膜及びその周辺の領域を示す断面図であり、図 2 9 (B) は、図 2 9 (A) に示した領域に対応する位置と、印加される電圧との関係を示すグラフである。

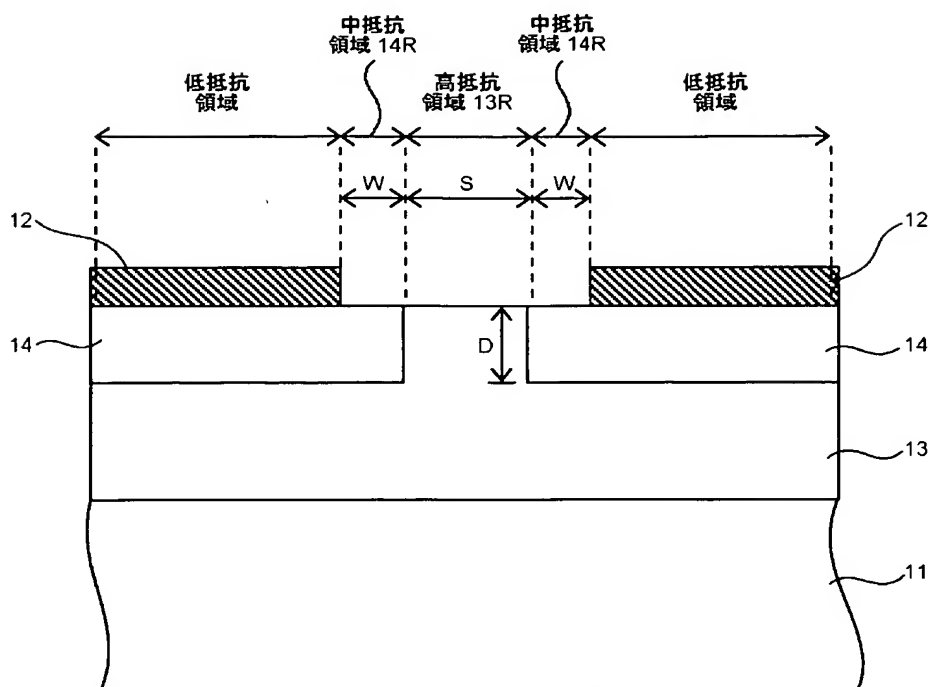
【符号の説明】

- 1 0 第一の実施形態に係る半導体素子
- 1 1 P 型半導体基板
- 1 2、1 2 A、1 2 B、1 2 C シリサイド層
- 1 3 N ウェル
- 1 3 R 露出領域
- 1 4、1 4 A、1 4 B、1 4 C N⁺拡散層
- 1 4 R 第二露出領域
- 1 5、1 6、1 8 フォトレジスト
- 1 7 酸化膜
- 2 0 第二の実施形態に係る半導体素子
- 2 1 LDD 注入領域
- 3 0 第三の実施形態に係る半導体素子

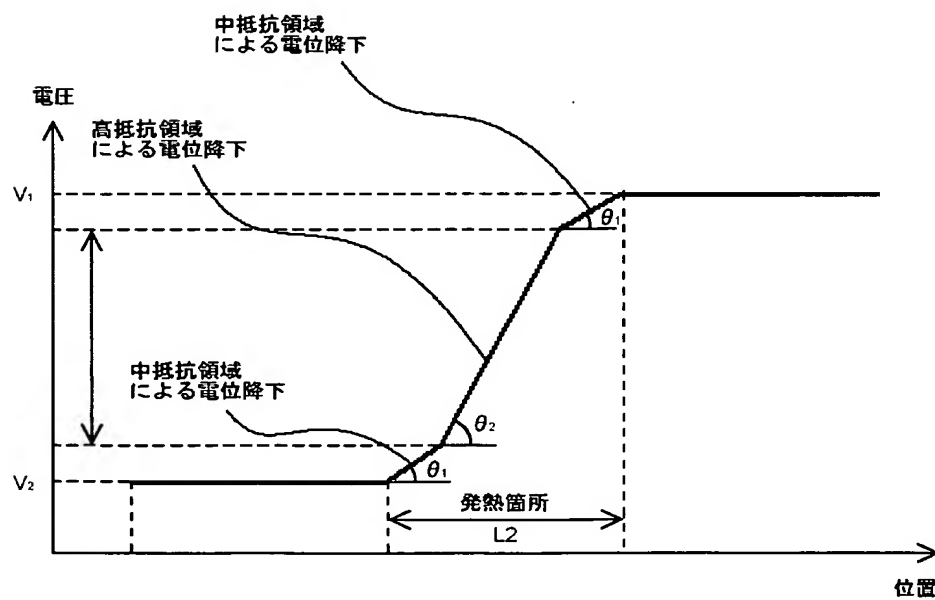
- 3 1 L D D 注入領域
- 4 0 第四の実施形態に係る半導体素子
- 4 1 フィールド酸化膜
- 5 0 第五の実施形態に係る半導体素子
- 5 1 ゲート酸化膜
- 5 2 ゲート電極
- 5 3 サイドウォール
- 1 1 0、1 2 0、1 3 0、1 4 0、1 5 0 半導体装置
- 1 1 1 ソース電極
- 1 1 2 ドレイン電極
- 1 1 3 ゲート絶縁膜
- 1 1 4 ゲート電極
- 1 1 5 サイドウォール
- 1 1 6 L D D 注入領域

【書類名】 図面

【図 1】

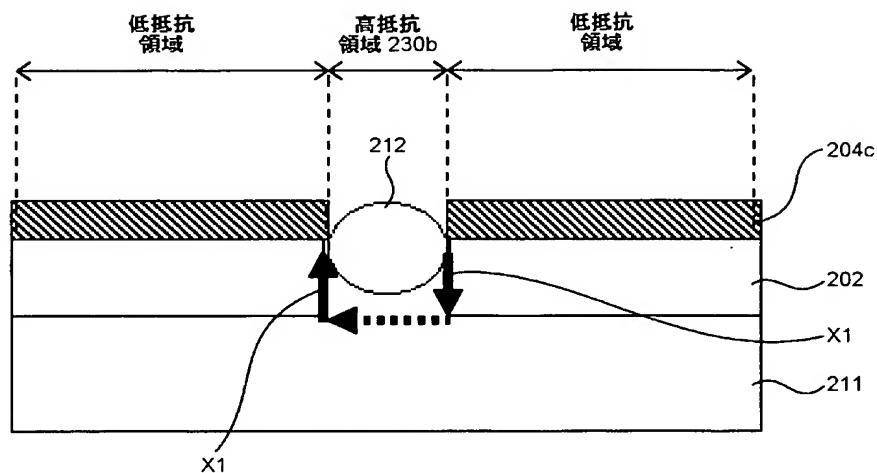


【図 2】

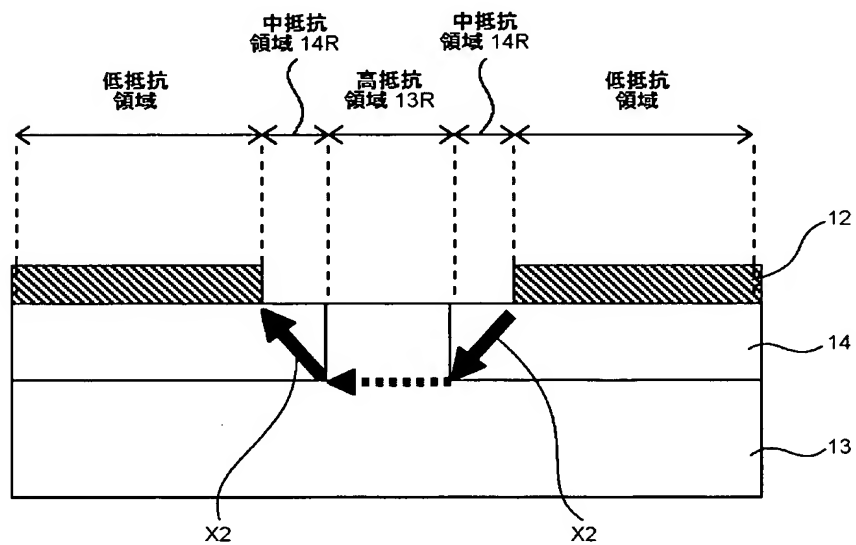


【図 3】

(A)

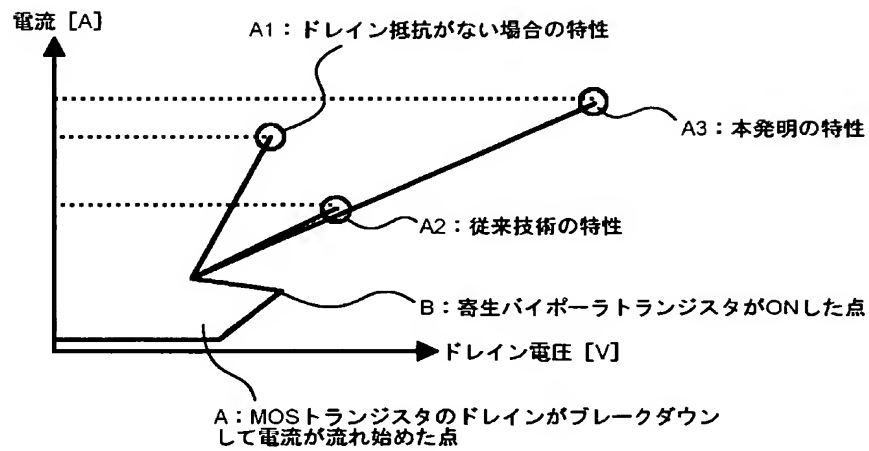


(B)

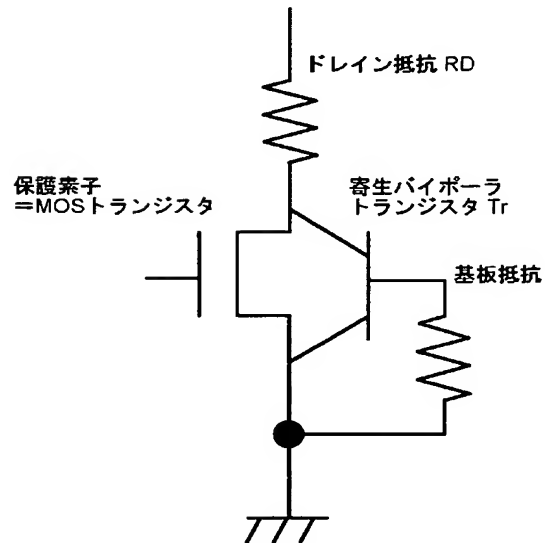


【図 4】

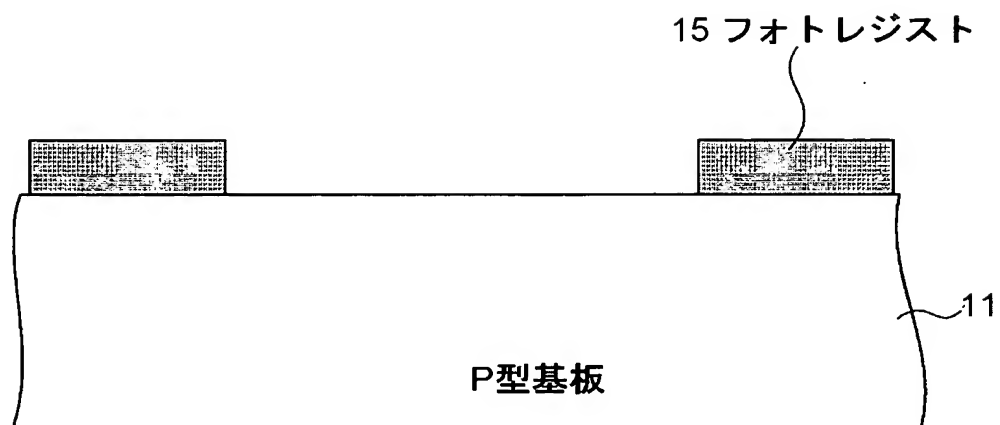
(A)



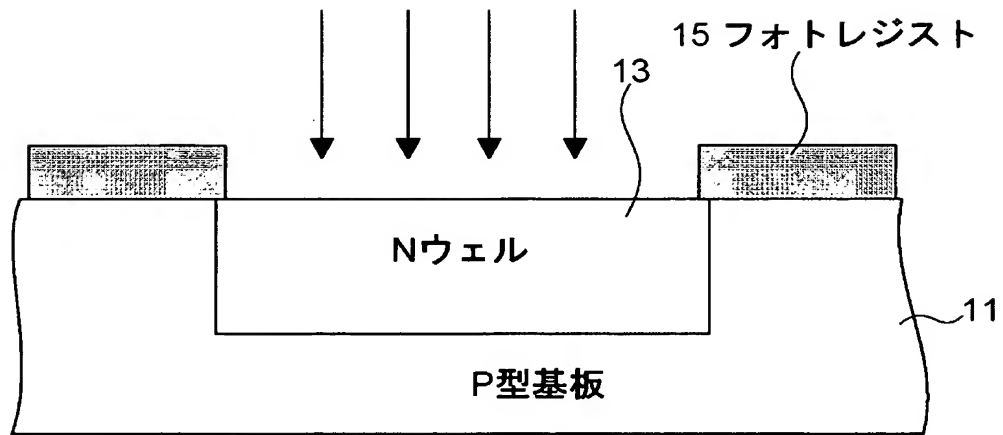
(B)



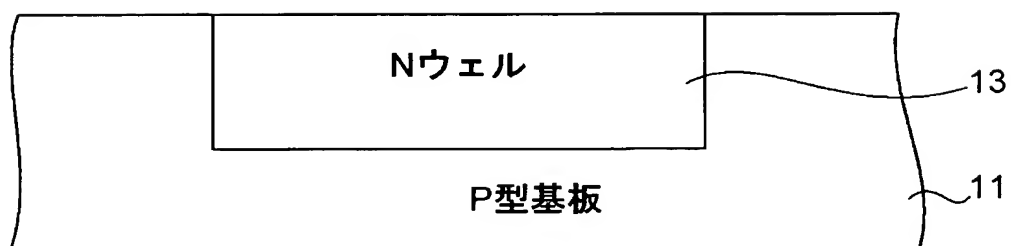
【図 5】



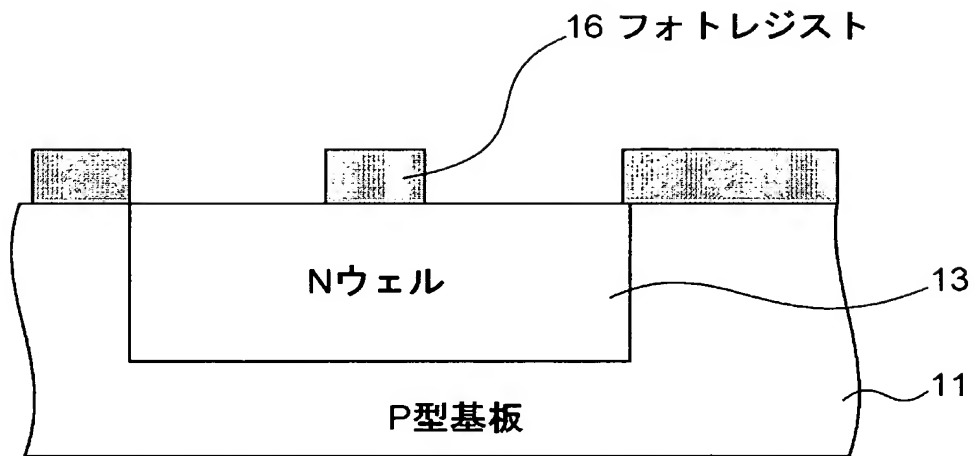
【図 6】



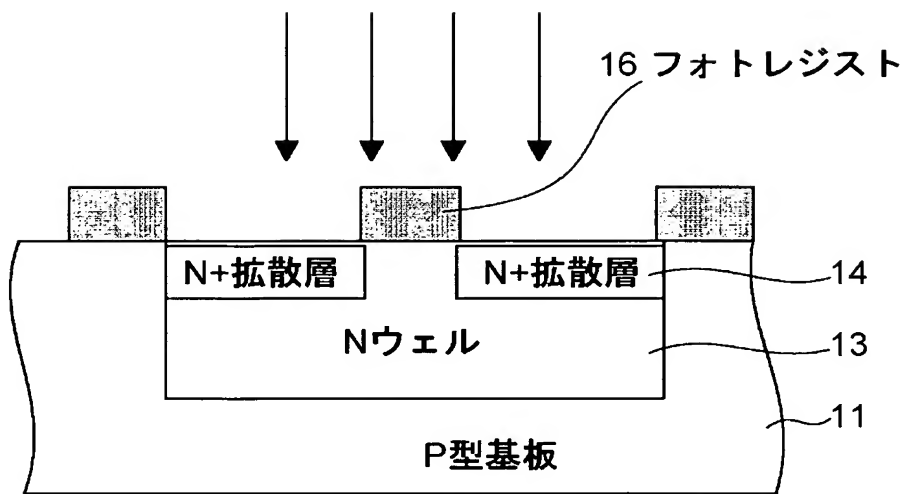
【図 7】



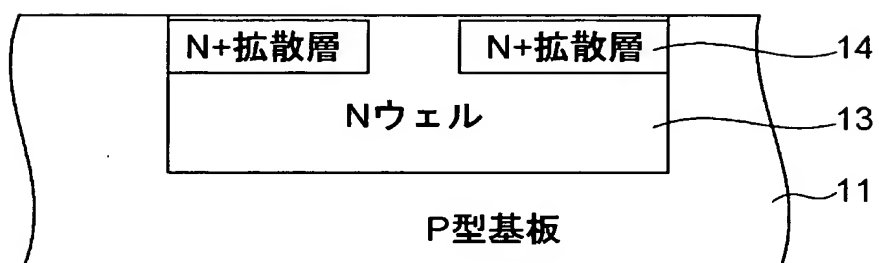
【図 8】



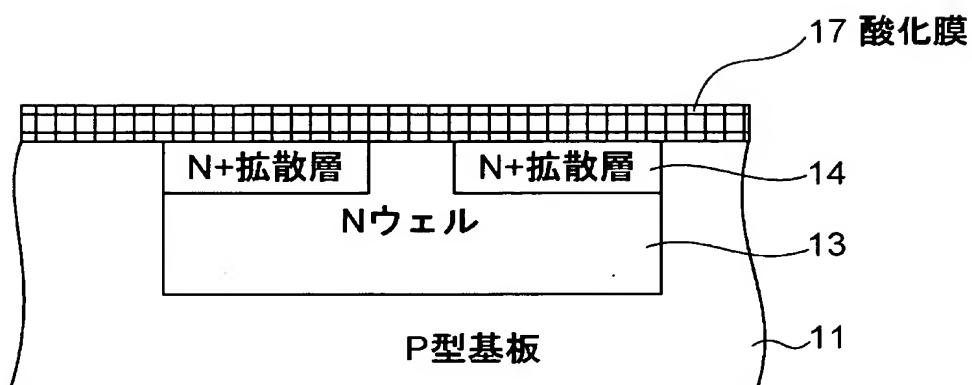
【図 9】



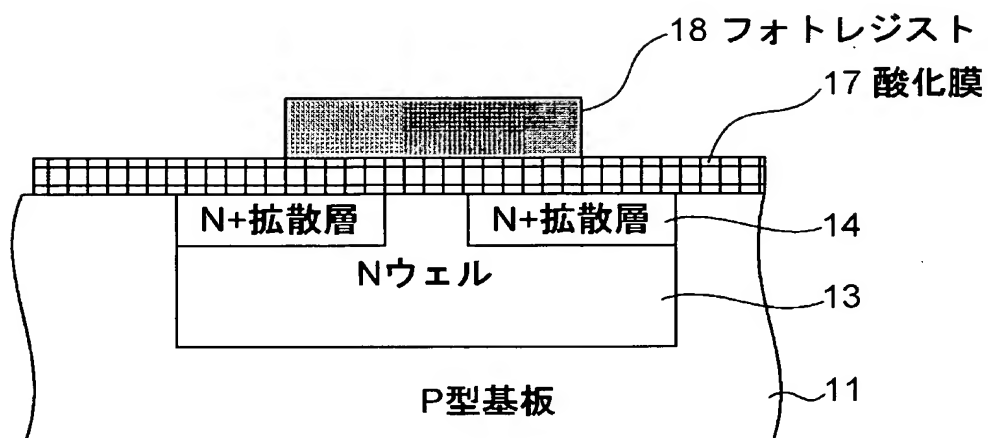
【図 10】



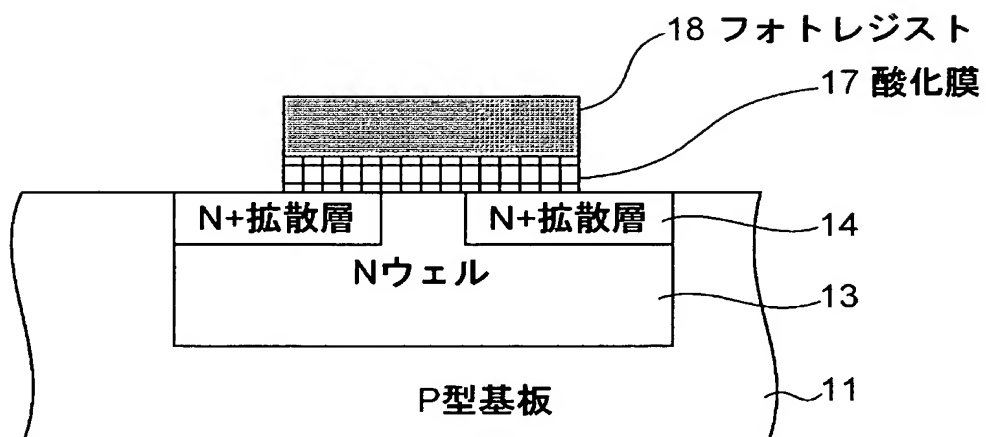
【図 11】



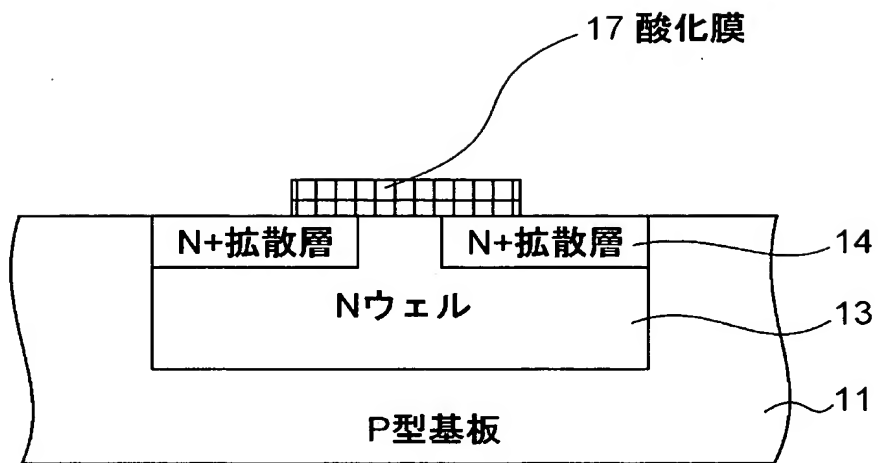
【図 12】



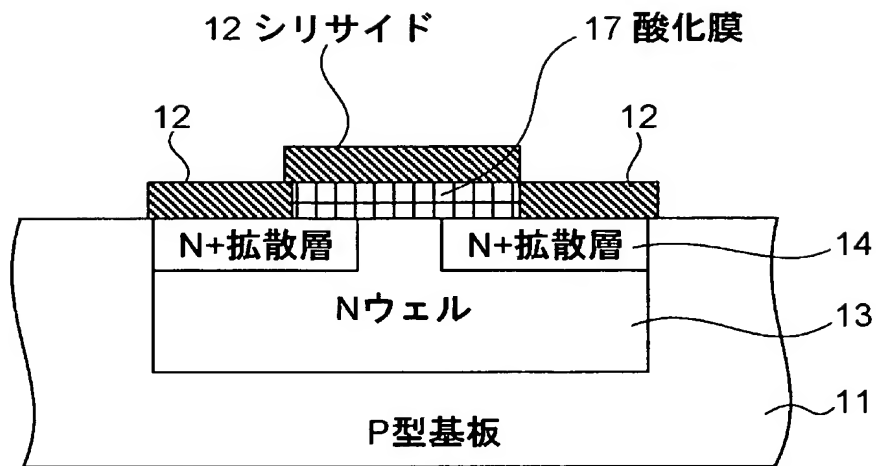
【図 13】



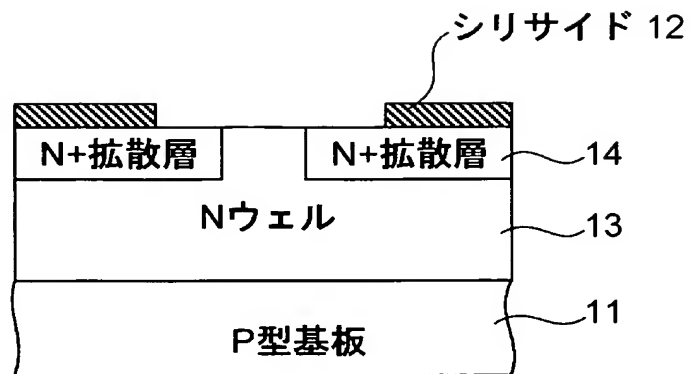
【図 14】



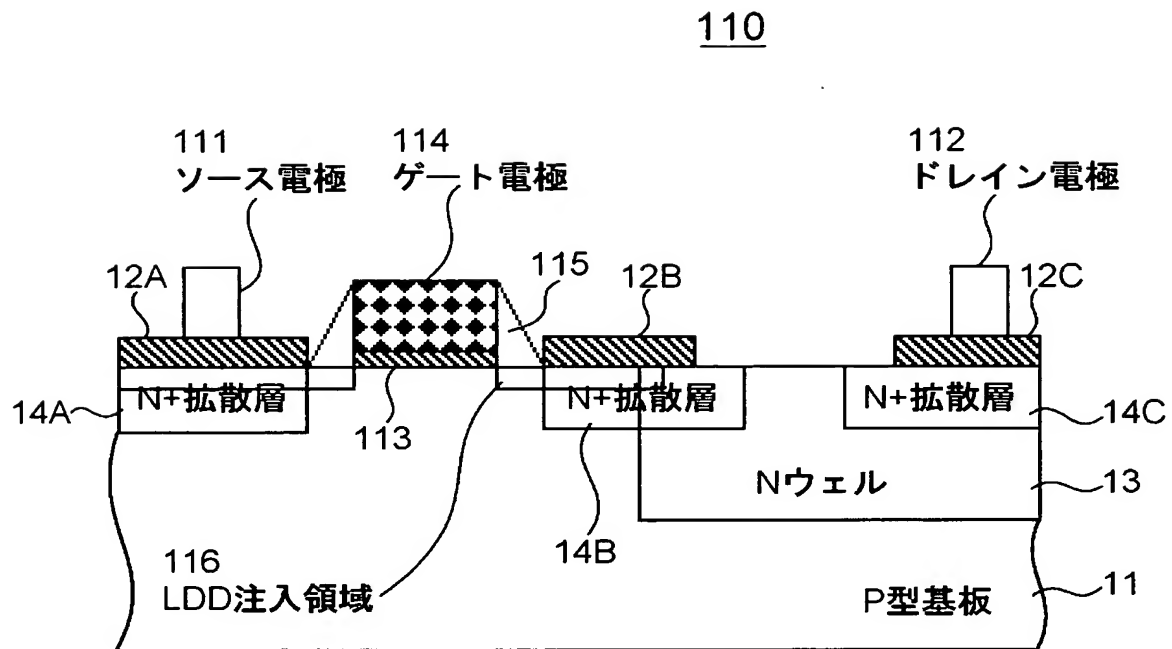
【図 15】



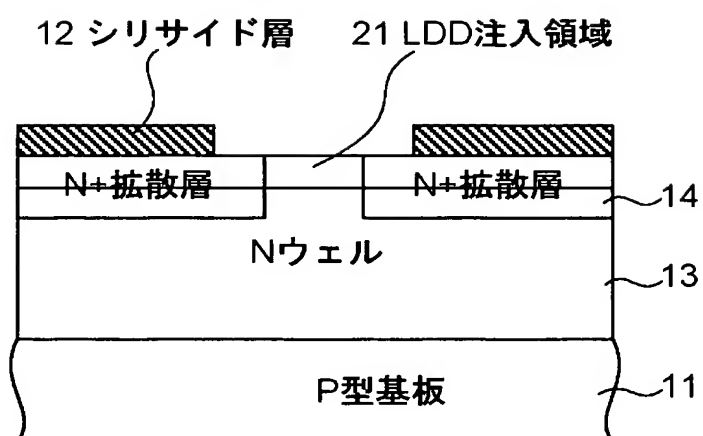
【図 16】



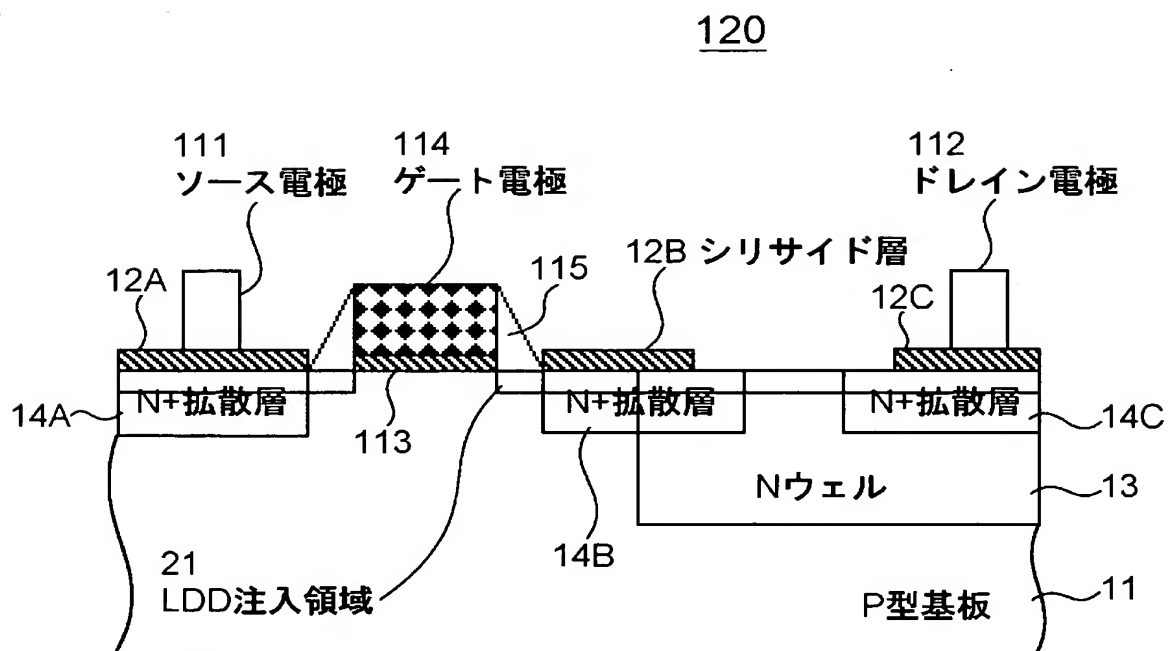
【図 17】



【図 18】

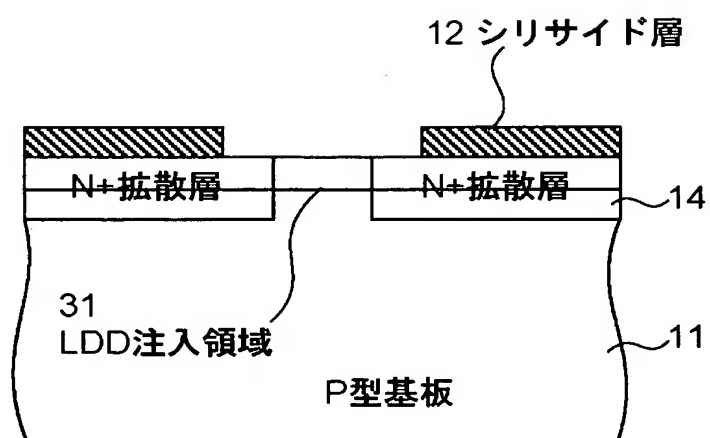
20

【図 19】

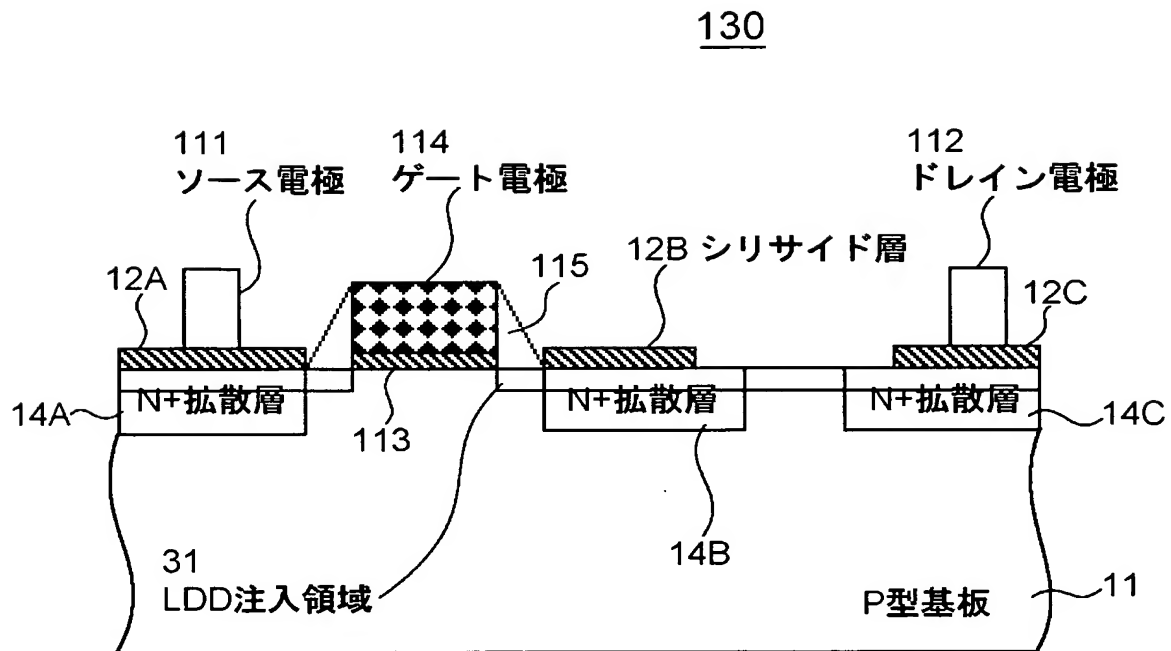


【図 20】

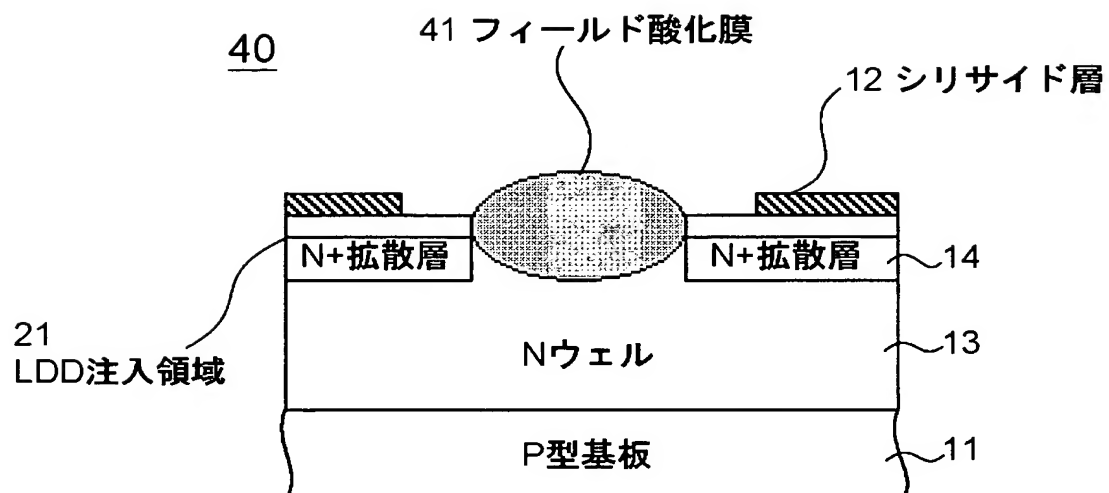
30



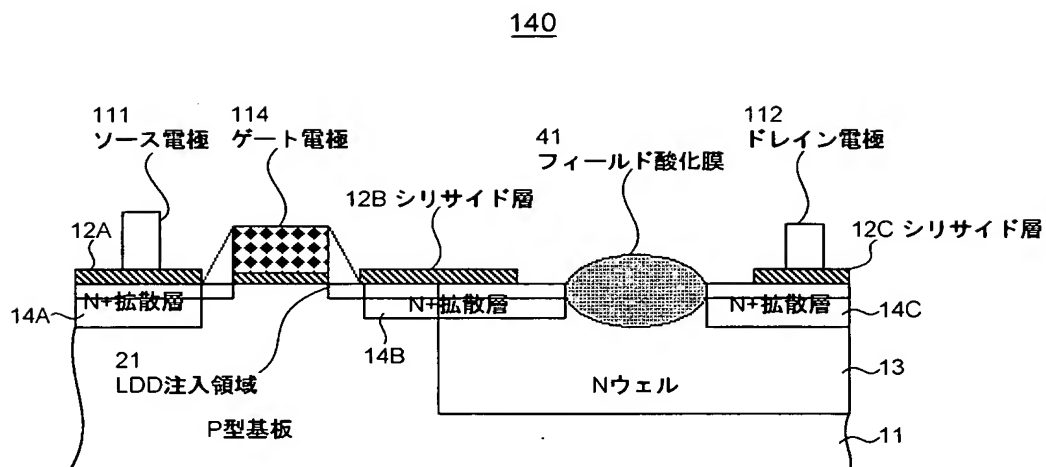
【図 21】



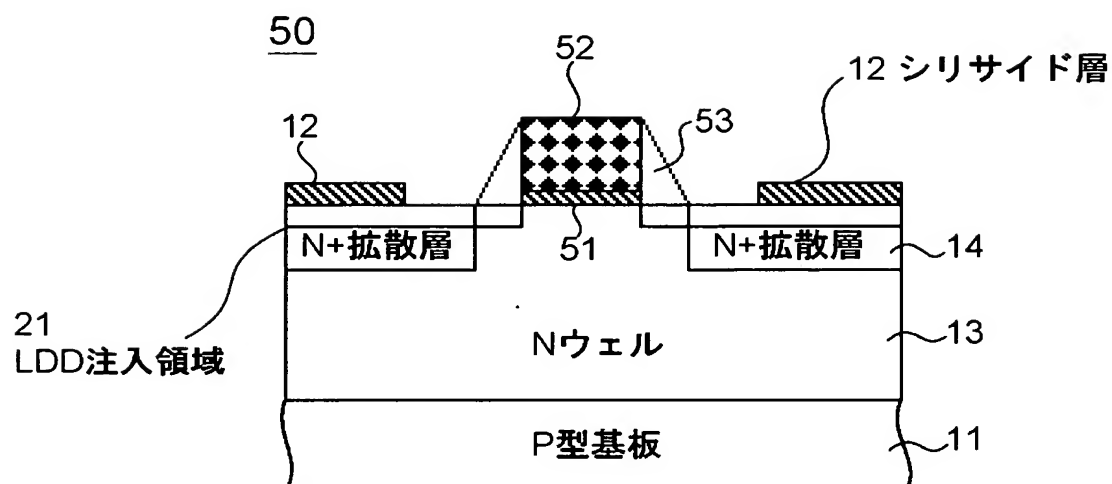
【図 22】



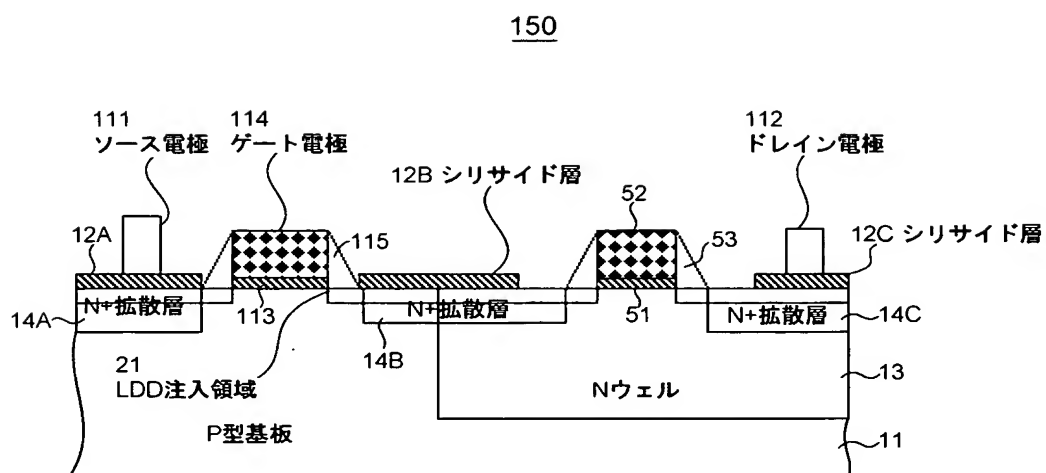
【図 23】



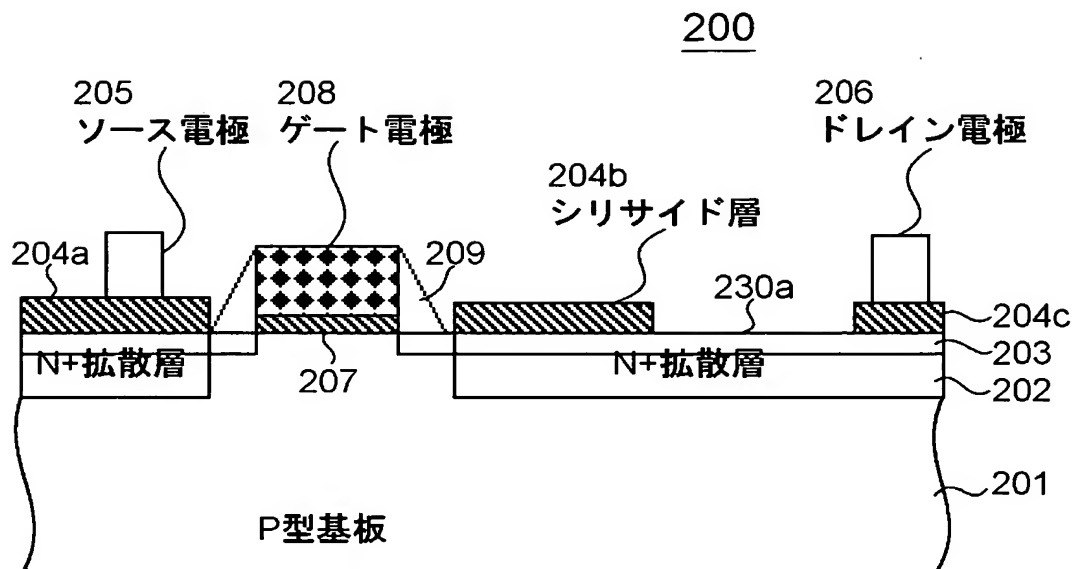
【図 24】



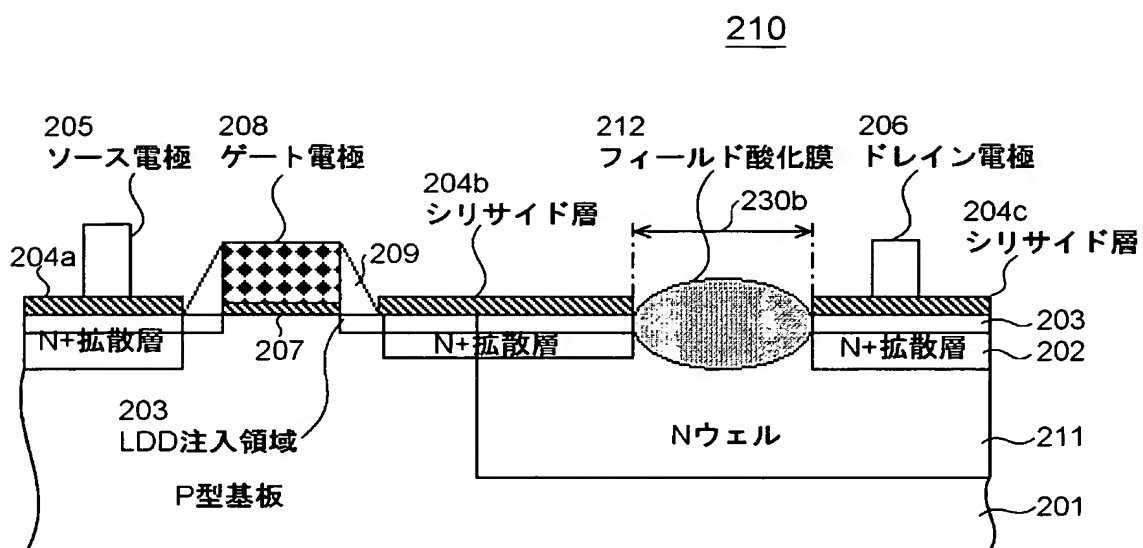
【図 25】



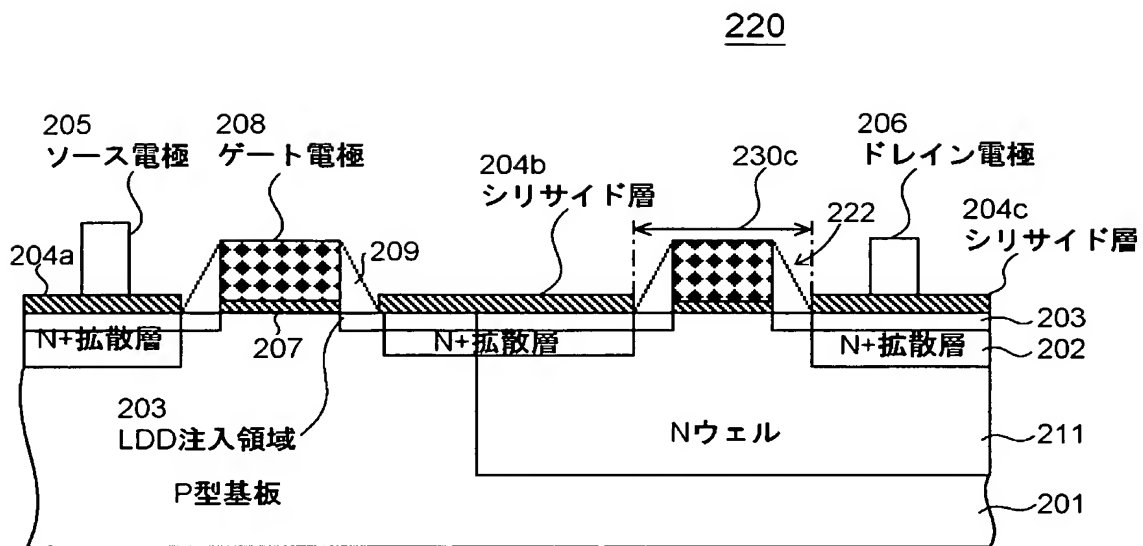
【図 26】



【図 27】

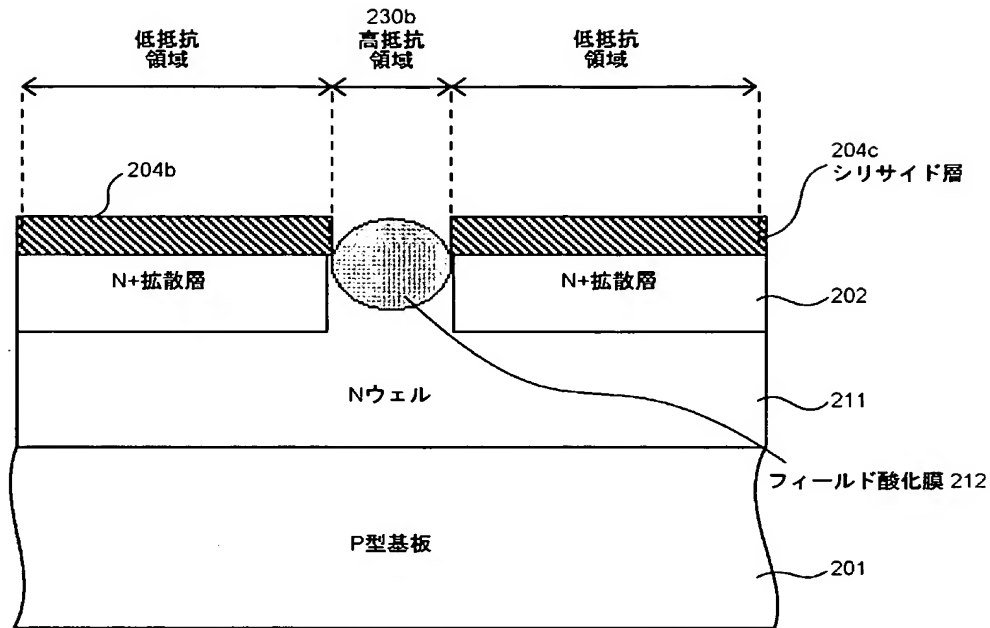


【図 28】

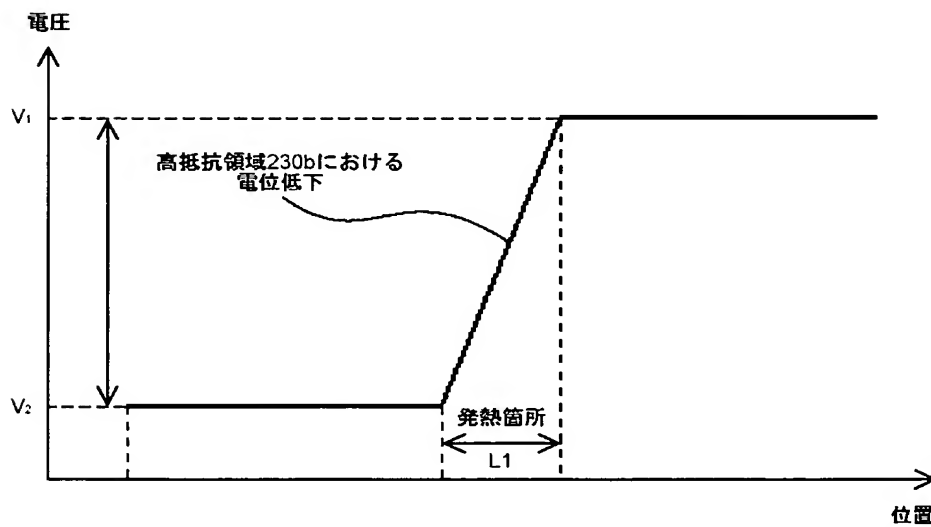


【図 29】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 半導体素子の面積を拡大することなく、静電気が印加されても高抵抗領域に発熱集中が生じない半導体素子を提供する。

【解決手段】 半導体素子 1 0 は、N ウェル 1 3 及び N ウェル 1 3 よりも高い不純物濃度を有する N⁺ 拡散層 1 4 を有する P 型半導体基板 1 1 と、N⁺ 拡散層 1 4 上に部分的に形成されたシリサイド層 1 2 と、を備える。N ウェル 1 3 は半導体基板 1 1 の表面に露出する露出領域 1 3 R を有しており、シリサイド層 1 2 は、N⁺ 拡散層 1 の一部が露出領域 1 3 R と連続して露出する第二露出領域 1 4 R を有するように形成されており、露出領域 1 3 R は二つの N⁺ 拡散層 1 4 に囲まれている。シリサイド層 1 2 は低抵抗領域を、N⁺ 拡散層 1 4 の第二露出領域 1 4 R は中抵抗領域を、N ウェル 1 3 の露出領域 1 3 R は高抵抗領域をそれぞれ形成している。

【選択図】 図 1

特願 2 0 0 3 - 0 6 6 1 6 1

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

1. 変更年月日 2 0 0 2 年 1 1 月 1 日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名 N E C エレクトロニクス株式会社